

EMV-Modellierung komplexer Schaltungen

Ansatz zur Erstellung von Simulationsmodellen zur EMV-Optimierung komplexer digitaler ICs

Um komplexe digitale Schaltungen EMV-mäßig zu optimieren, bedarf es einer Modellierungs- und Simulationsumgebung, die den IC-Entwicklern die Möglichkeit gibt, ein optimales Design zu entwerfen. Solche Werkzeuge sind heute erst in Ansätzen auf dem Markt und konzentrieren sich zumeist auf Effekte der Signalintegrität, z. B. Crosstalk. Eine komplette Modellierung im Hinblick auf Störemissionen durch Simultaneous Switching Noise ist zurzeit nicht verfügbar. Im folgenden wird ein Verfahren zur Reduzierung der komplexen Logik hergeleitet, um die Simulationszeit zu reduzieren. Über einen Analogsimulator wird das Stromprofil des Moduls, die sogenannte EMC-View, ermittelt. Hierbei kommen sogenannte ‚Ersatzinverter‘ zum Einsatz, deren Schaltstromverhalten mit Gleichungen der Halbleiterphysik beschrieben wird. Das geometrische Versorgungssystem wird durch elektrische RLC-Komponenten beschrieben und mit den vereinfachten Modulen verschaltet. Auf diese Weise wird die EMC-View des gesamten IC gewonnen. Mit ihr können Stromprofile an den Versorgungspads, aber auch an beliebigen Stellen des Versorgungssystems bestimmt werden. Verschiedene Varianten der Modulordnung und -verdrahtung können auf diese Weise miteinander verglichen und letztendlich die EMV-günstigste Variante gefertigt werden.

Das beschriebene Verfahren befindet sich momentan in der Entwicklungsphase und somit kann keine detaillierte und rückblickende Beschreibung gegeben werden. Vielmehr soll die Art und Weise des Vorgehens in Richtung EMV-Modelle beschrieben werden.

► Autor

Dipl.-Ing. THOMAS STEINECKE ist Leiter des EMV-Teams im Bereich Automotive Microcontroller Development, Abt. AI MC AC EMC bei Infineon Technologies AG; Balanstr. 73, D-81541 München
Fon: 089/234-84979, Fax: 089/234-717143
E-Mail: thomas.steinecke@infineon.com

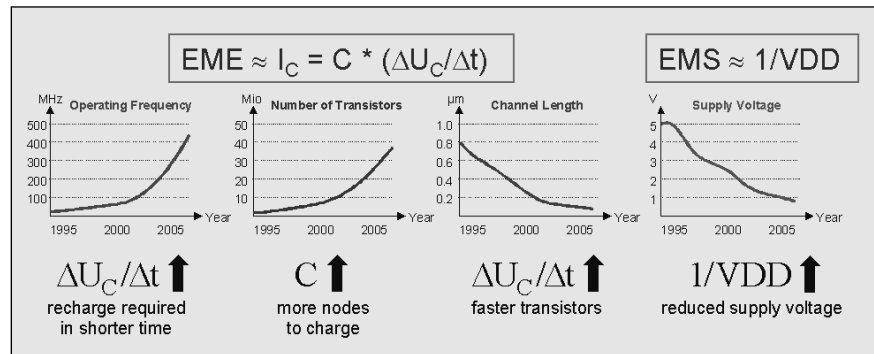


Abb. 1: Trends EMV-relevanter Parameter in der Microcontroller-Industrie

Die Situation

Komplexe digitale Schaltungen, beispielsweise leistungsfähige Microcontroller für den Automobilmarkt, haben sehr hohe Anforderungen an die elektromagnetische Verträglichkeit, da ihr Einsatz häufig in sicherheitsrelevanten Umgebungen erfolgt. Entsprechender Aufwand muss für ein EMV-konformes IC-Design betrieben werden. Dazu werden Design-Richtlinien verwendet, die aus umfangreichen EMV-Charakterisierungen von Produkten gewonnen wurden [1], [2]. Die Beachtung dieser Design-Richtlinien, beispielsweise für Abblockkondensatoren, gewährleistet zwar ‚verbessertes‘ EMV-Design, jedoch nicht notwendigerweise ‚optimales‘ EMV-Design. Meist wird hierbei nach dem Grundsatz ‚viel hält viel‘ vorgegangen. Somit kann während der IC-Entwicklung noch nicht vorhergesagt werden, ob das IC die geforderten Grenzwerte für die Störemission tatsächlich einhalten wird.

Abhilfe kann hier nur die Verfügbarkeit eines EMV-Simulators schaffen, der während der IC-Designphase dazu benutzt wird, iterativ oder unter Berücksichtigung vorgefertigter Regeln eine optimierte Anordnung und Verdrahtung der Funktionsmodule auf eine Weise durchzuführen, dass die durch dynamische Schaltströme hervorgerufenen elektromagnetischen Störungen minimiert werden.

Die für elektromagnetische Emission verantwortlichen Störquellen sind die Hunderttausende in den Funktionsmodulen synchron schaltenden Transistoren, die eigentliche Abstrahlung erfolgt aufgrund der größeren Geometrien über die VSS/VDD-Versorgungsbahnen. Voraussetzung für die Simulation

sind Modelle der Stromprofile di/dt aller Module sowie ein Modell des Versorgungssystems, in dem neben Widerstand und Induktivität der Leiterbahnen auch weitere Komponenten, beispielsweise Abblockkondensatoren, berücksichtigt werden müssen.

Zuverlässige Simulation

Mit der Notwendigkeit hochkomplexer digitaler Funktionsmodule in Microcontrollern hat sich zur Entwicklung und Simulation die Hardwarebeschreibungssprache VHDL etabliert. Funktionale Tests erfolgen auf dieser abstrakten Ebene, da gatter- oder gar transistorbasierte Netzlistensimulationen nicht mit vertretbarem Zeitaufwand durchgeführt werden können. Die Einhaltung aller Schaltzeiten wird anschließend mithilfe statischer Timinganalyse überprüft. Ist auch diese erfolgreich, wird das Layout erstellt und das IC in die Fabrikation eingeschleust. Erste Tests am fertigen Silizium bestätigen dann hoffentlich korrekte Funktionalität bei der angestrebten Frequenz und ausreichend niedrige Leistungsaufnahme. Das Spektrum der abgestrahlten HF-Störenergie schützt aber bei dieser Art des IC-Entwurfs nicht vor langen Gesichtern, Folgekosten und Verzögerung der Markteinführung.

Da sich Hochfrequenz nicht so recht mit digitalem Design verträgt, ist bisher auch von Seiten der Hersteller von IC-Entwurfswerkzeugen nicht allzu viel Aufwand in die Simulation von parasitären Effekten auf dem Chip gesteckt worden. Natürlich bleibt es jedem Entwickler freigestellt, mit dem guten alten SPICE-Simulator auf die Suche nach HF-

Störquellen zu gehen. Die aufzuwendende Zeit und die Ungewissheit, ob man nun tatsächlich den kritischsten Fall auch erfasst hat, legitimieren jedoch ein solches Vorgehen nicht unbedingt.

Ermittlung des Stromprofils digitaler Module

Der Trend in der Entwicklung hochintegrierter Microcontroller geht zielstrebig in Richtung höhere Geschwindigkeit und höhere Packungsdichte. Eine aus der ITRS-Roadmap [3] abgeleitete Trendübersicht für Automotive-Microcontroller zeigt Abb. 1.

Der für elektromagnetische Störemissionen verantwortliche Schaltstrom di/dt nimmt durch diese Maßnahmen stetig zu. Es ist also legitim, diesen Schaltstrom auf den Versorgungsleitungen näher zu beleuchten, um auf diese Weise eine Vorhersage des HF-Störpotenzials zu treffen. Um unvertretbar lange Simulationszeiten zu vermeiden, muss ein Konzept gefunden werden, um die komplexe Logik eines Moduls geschickt zu reduzieren und danach mit einem Analogsimulator strommäßig zu beurteilen. Die zugrunde liegende Idee umfasst drei Schritte:

- ▶ Modellierung des Stromverhaltens eines Inverters während der Umschaltphase
- ▶ Reduzierung der komplexen digitalen Logik auf mehrere ‚Ersatzinverter‘
- ▶ Dimensionierung dieser Ersatzinverter entsprechend der Modultopologie

Die auf diese Weise gewonnene extrem reduzierte Netzliste kann ohne großen Aufwand simuliert werden, um das Stromprofil zu erhalten. Die drei aufgelisteten Schritte werden im folgenden vorgestellt.

Modellierung des Schaltstroms eines Inverters

Zur Beschreibung der Transistoreigenschaften hat sich in der Halbleiterindustrie das BSIM-Modell durchgesetzt. Es enthält jedoch sehr viele Parameter aus der Halbleiterphysik und

ist deshalb sehr komplex. Es gilt nun zunächst herauszufinden, welche dieser mehreren hundert Parameter für das Stromverhalten während des Schaltvorganges nur eine untergeordnete Rolle spielen und diese Parameter zu eliminieren.

Das auf diese Weise erhaltene, aus n- und p-Transistor zusammengesetzte und auf den Schaltstrom optimierte Transistormodell muss anschließend geschickt parametrisiert werden, um diesen Inverter als ‚Ersatzinverter‘ für eine größere Anzahl gleichzeitig schaltender digitaler Gatter einsetzen zu können. Der Weg führt vom Standard-Inverter über die schaltstrom-optimierten Halbleitergleichungen zum parametrisierten ‚Ersatzinverter‘, der im komplexen digitalen Modul jeweils eine Gruppe von Gattern ersetzen soll.

Geschickte Vereinfachung der komplexen Module

Um Informationen über das Stromprofil einer komplexen digitalen Schaltung zu erhalten, ist keine funktionale Simulation nötig. Es besteht somit auch kein Grund, die für die korrekte logische Funktionalität entworfene Schaltung unverändert zu simulieren. Vielmehr kann das Modul auf die Anzahl der zu einem bestimmten Zeitpunkt umschaltenden Transistoren reduziert werden. Auf diese Weise wird das Modul durch die Anzahl der Gatter pro Schaltzeitpunkt beschrieben. Aufgrund der inhärenten Gatterlaufzeiten von digitalen Signalen treten Schaltvorgänge nur zu diskreten Zeitpunkten auf. Hierbei muss natürlich eine Fehlerbetrachtung gemacht werden, denn verschiedene Gatter, deren Eingänge zum selben Zeitpunkt schalten, können zu geringfügig (im Pikosekundenbereich) unterschiedlichen Zeiten ihren Ausgang umschalten. Unter Inkaufnahme dieses Fehlers verfolgen wir den Ansatz, im Modul die logische Tiefe für alle Gatter aus der Netzliste zu berechnen. Die Gatterlaufzeit wird für alle Gatter als identisch angenommen. Somit finden Schaltvorgänge nur zu diskreten Zeiten statt, die Vielfache einer Gatterlaufzeit sind. Abb. 2 zeigt exemplarisch die logischen Tiefen

in einer digitalen Schaltung. Dabei besitzen alle Gatter, die direkt mit dem Systemtakt verbunden sind, die logische Tiefe 0.

Bei unserer Betrachtung gehen wir weiter davon aus, dass das Modul synchron getaktet wird, d.h. alle Gatter, die direkt mit einem Systemtakt verbunden sind, erhalten diesen Takt zur selben Zeit. Beide Annahmen führen zu einer Worst-Case-Betrachtung der Schaltvorgänge im Modul, denn alle Schaltzeiten fallen zusammen auf wenige diskrete Zeitpunkte.

Nach der Zuordnung aller Gatter auf logische Tiefen werden alle Gatter einer logischen Tiefe zu einem ‚Ersatzinverter‘ zusammengefasst. Nach statistischen Untersuchungen definiert man sodann, welcher Anteil aller Gatter einer logischen Tiefe tatsächlich schalten – glücklicherweise bleibt ein erheblicher Prozentsatz der potenziell schaltenden Gatter ruhig – und wieviele dabei mit fallender bzw. steigender Flanke schalten. Beispielsweise kann eine Topologie und Schalthäufigkeit eines Moduls folgendermaßen aussehen:

- ▶ maximale logische Tiefe = 3
- ▶ log. Tiefe 0 = 40% der Gatter
- ▶ log. Tiefe 1 = 30% der Gatter
- ▶ log. Tiefe 2 = 20% der Gatter
- ▶ log. Tiefe 3 = 10% der Gatter
- ▶ insgesamt schaltende Gatter in jeder logischen Tiefe = 50%
- ▶ davon je 50% mit steigender bzw. fallender Flanke

Für jede logische Tiefe werden dann zwei Ersatzinverter modelliert, deren Dimensionierung aufgrund der Anzahl gleichzeitig schaltender Gatter gewählt wird, und von denen einer mit steigender und der andere mit fallender Flanke schaltet. Jeder der Ersatzinverter lädt eine kapazitive Last um, deren Größe über die im Modul vorhandenen Knotenkapazitäten gemittelt werden kann.

Abb. 3 zeigt das auf diese Weise entstandene Modell, wobei ein Ersatzinverter wie in Abb. 4 gezeigt aufgebaut sein soll.

Die beschriebenen Vereinfachungen führen zu einem Fehler, der im Einzelfall betrach-

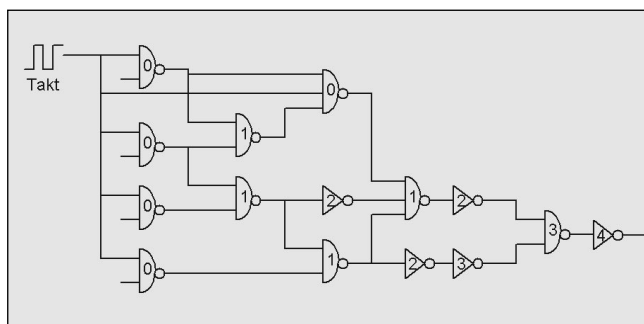


Abb. 2: Logische Tiefen in einer digitalen Kombinatorik

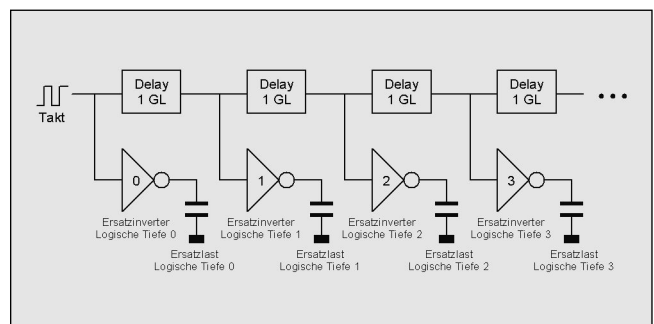


Abb. 3: Simulierbares Modell mit Ersatzelementen

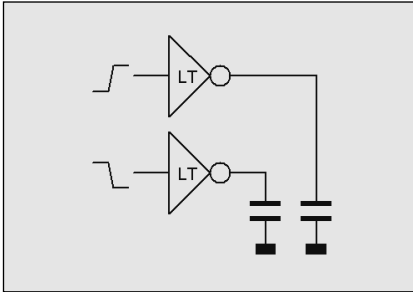


Abb. 4: Innenschaltung eines Ersatzinverters

tet werden muss. Da im ersten Ansatz das beschriebene Modellierungsverfahren jedoch zum relativen Vergleich verschiedener Verdrahtungsvarianten eingesetzt werden soll, kommt dem im nächsten Abschnitt beschriebenen Modell des Versorgungssystems die entscheidende Rolle zu, sodass beim Stromprofil der Module ein gewisser Fehler in Kauf genommen werden kann.

Ermittlung des Stromprofils des gesamten IC

Während die Zuleitungswiderstände, -induktivitäten und -kapazitäten der Versorgungsbahnen im Modulinneren vernachlässigt werden (ein sehr großes Modul muss ggf. in mehrere Untermodule zerlegt werden, um den dadurch entstehenden Fehler zu minimieren), ist diese Vereinfachung für die Versorgungsverdrahtung auf Chipebene nicht mehr zulässig. Die Hauptversorgungsbahnen müssen geometrisch analysiert und möglichst exakt durch entsprechende RLC-Parameter beschrieben werden. Eventuell in das Versorgungssystem eingebaute Abblockkondensatoren müssen selbstverständlich ebenfalls berücksichtigt werden. Die Modellierung erfolgt durch RLC-Parameter-Extraktion aus der Layout-Netzliste. In einem Beispiel für ein IC mit 4 Modulen und zwei Versorgungspaaren VDD und VSS z. B. enthalten die Module A bis D jeweils die entsprechend ihrer Topologie dimensionierten Ersatzinverter und sind über das RLC-beschriebene Versorgungsnetz miteinander verbunden. Das Stromprofil einer solchermaßen gegenüber ihrer exakten Transistorbeschreibung erheblich vereinfachten Gesamtschaltung eines komplexen digitalen IC lässt sich mit vertretbarem Zeitaufwand mit einem Analogsimulator bewerten.

Zusammenfassung und Ausblick

Für die Bewertung des HF-Störpotenzials eines komplexen digitalen Schaltkreises muss aus Zeitgründen die Transistor-Netzliste er-

Anzeige

heblich reduziert werden. Dies geschieht durch die Analyse der Netzliste, um den Gattern eines Moduls ihre logischen Tiefen zuzuordnen und festzustellen, wieviele Ersatzinverter benötigt werden und wie diese zu dimensionieren sind. Dabei werden die Modelle durch gewisse statistische Annahmen zum Clockskew und zur Gatteraktivität bewusst vereinfacht. Eine Fehlerbetrachtung sorgt dafür, dass der Fehler der Simulationsergebnisse nicht zu groß wird. Die auf diese Weise gewonnenen EMC-Views aller Module werden über reale RLC-beschriebene Versorgungsbahnen verbunden. Im ersten Ansatz soll durch Simulation dieses Gesamtmodells eine Vergleichbarkeit zwischen verschiedenen Anordnungen der Module im Chip ermöglicht werden, und somit der für EMV günstigste Floorplan ermittelt werden. Dabei dür-

fen selbstverständlich Timinganforderungen nicht verletzt werden. In späteren Arbeiten soll durch Ergänzung des IC-Modells durch Gehäuse- und Testboard-Modelle eine Voraussage über die zu erwartende IC-Abstrahlung im genormten Prüfaufbau nach IEC 61967 ermöglicht werden.

Literatur

- [1] Steinecke, T.: On-Chip-EMV-Charakterisierung; EMC KOMPENDIUM 2000, S. 240-244
- [2] Steinecke, T.: On-Chip-EMV-Charakterisierung; EMC KOMPENDIUM 2001, S. 242-246
- [3] ITRS Roadmap, ITRS Roadmap Conference, Santa Clara, July 1999

www.publish-industry.net

more @ click EK2B0502

How to use
more @ click !

1. www.publish-industry.net
2. ,more@click'-Code eingeben
3. Anbieter kontaktieren – Diskutieren – Recherchieren