

# Pin-genaue und grafische Fehleranalyse

## Boundary-Scan von elektronischen Baugruppen

**D**ie wachsenden Packungsdichten bei ICs führen zu ständig kleineren PIN- Abständen. Die erstrebte Prüfbedeckung durch herkömmliche Testverfahren sicherzustellen wird demnach zu einem echten Problem. Mittlerweile gibt es µBGAs mit über 1.500 Balls (Kontakten) – d. h. die Elektronikfertigung steht auch vor dem Problem, einen größtmöglichen Test-Access auf der Baugruppe zu gewährleisten, bei gleichzeitiger Pin-genaue Fehleranalyse. Dieser Artikel beschreibt das ‚Boundary-Scan‘-Verfahren als einen Lösungsansatz, wobei nicht nur Hilfe angeboten, sondern ebenso versucht wird, das Produkt ‚Kundenbaugruppe‘ als Gesamtes zu betrachten.

### Ist-Stand des Testens

Boundary-Scan ist seit über 10 Jahren in steigendem Maße im Einsatz und hat sich als Teststrategie in vielen Bereichen der Elektronikfertigung fest etabliert. Es bietet sich über den gesamten Produktionszyklus (Designverifikation, Test, Programmieren und im Feldeinsatz) als ein leistungsstarkes Werkzeug für die Elektronikfertigung an. Die notwendigen Testprogramme stehen schon zu Beginn des ersten Produktionslaufes zur Verfügung. Dies wird dadurch sichergestellt, dass im Labor wie in der Fertigung ein kompatibles Equipment zum Einsatz kommt, und die generierten Programme auch später weiter verwendet werden können. Somit wird die maximale Effizienz bei gleichzeitig minimalem Aufwand erreicht, sei es in technischer, personeller und kostenseitiger Hinsicht. Boundary-Scan allein ist jedoch nicht in der Lage, eine für den Kunden notwendige Testabdeckung sicherzustellen. Dies liegt vor allem an den dynamischen Fehlern sowie an der fehlerhaften Aufdeckung von Defekten bei analogen Komponenten. Änderungen hinsichtlich dieses Mankos sind dann zu erwarten, wenn das analoge Bound-

ary-Scan-Testverfahren gemäß IEEE 1149.4 akzeptiert wird bzw. sich durchsetzen kann. Doch auch noch in einer solchen Situation wird, wie heute, in vielen Anwendungen eine Kombination mit ergänzenden Teststrategien, wie etwa ‚Manufacturing Defects Analyzer‘ (MDA), ‚In-Circuit-Test‘ (ICT), ‚Functional-Test‘ (FT) oder ‚Flying-Probe-Test‘ (FPT) notwendig sein.

Man kann nicht von ‚einem‘ Boundary-Scan-Test reden, vielmehr gibt es praktisch verschiedene Einzeltests:

- ▶ Infrastructure-Test
- ▶ Interconnection-Test
- ▶ RAM-Test
- ▶ Cluster-Test
- ▶ Manual-Test
- ▶ ICP/ FLASH-Programmieren

Erst durch diese Kombination der einzelnen Testarten und den Einsatz von digitalen I/ O Modulen (womit ein Erweiterung des Test-Access vorgenommen werden kann) ist es möglich, eine hohe Testabdeckung zu erreichen, selbst wenn sich nur eine limitierte Anzahl von Boundary- Scan-Komponenten sich auf dem Prüfling befindet (siehe Abb. 1).

In einem Fertigungsprozess spiegelt sich häufig eine bekannte Vorgehensweise wider. Eine durch das Boundary-Scan-Testsystem als fehlerhaft erkannte Baugruppe wird zum Reparaturplatz gebracht. Dort wird eine detaillierte Fehleranalyse mittels einer Reparatursoftware durchgeführt. Eine besondere Vorgehensweise ist dann vonnöten, wenn z.B. in einem Netz zwei Boundary-Scan-Komponenten partizipieren und eine Fehlermeldung angezeigt wird. In solch einem Fall kann nicht

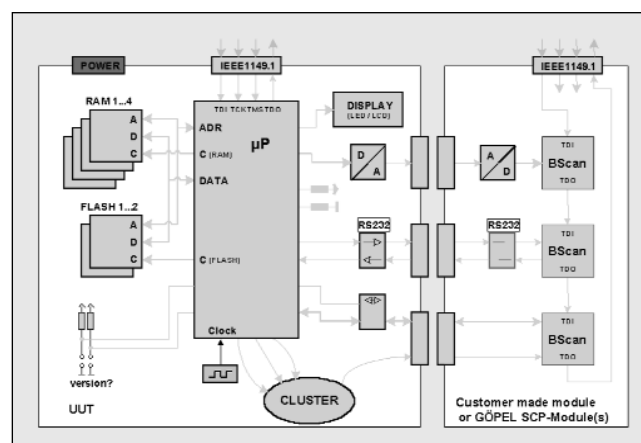
zweifelsfrei festgestellt werden, bei welchem der beiden ICs der Fehler aufgetreten ist. Es wird nur die Aussage getroffen, dass zwischen den beiden Bauteilen (z.B. ADD16) der Fehler aufgetreten ist (siehe Abb. 2).

Ebenso stellt der Umfang von Schaltplänen und damit die nicht mehr gewährleistete ‚Überschaubarkeit‘ der Unterlagen für den Anwender ein wachsendes Problem dar. Die Frage ist, ob Boundary-Scan für diese Problemstellung zusammen mit anderen Tools eine Hilfe anbieten kann.

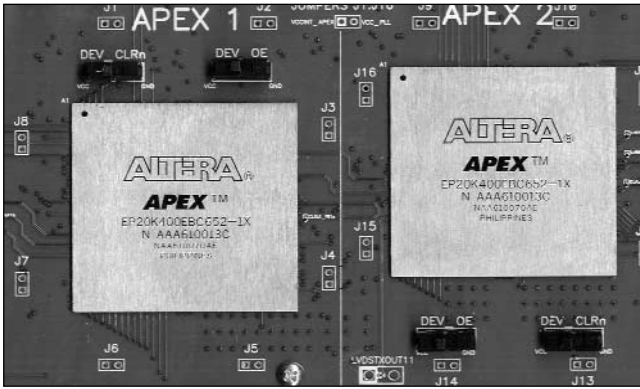
### Der etwas andere Weg

Die eingangs angesprochene Problematik wird mehr und mehr zu einem ‚Dauerproblem‘. Wie kann man Funktionalität und Performance einer Baugruppe steigern, diese dann noch testen und gleichzeitig reparaturfreundlich fertigen? Dieses Problem lässt sich auch heute nicht generell beantworten, da zwischen diesen Forderungen ein krasser Gegensatz besteht. Eine höhere Funktionalität/ Performance einer Baugruppe bedeutet in den meisten Fällen auch ein immer intelligenteres Design auf gleichem oder optimalerweise kleinerem Raum (vgl. die Entwicklung der Mobiltelefone: nicht nur ein Telefon, sondern ebenso integriert ein GPS-System, Kamera, PDA...). Boundary-Scan stellt heutzutage die einzig bekannte Technologie dar, die sowohl die Problematiken vom Testen, Programmieren und Emulation unter den heute als auch zukünftig geltenden Gesichtspunkten einer ständig zunehmenden Schaltungskomplexität bei gleichzeitig immer komplizierterem Testzugriff abzudecken vermag. Heute und in Zu-

**▶ Autor**  
 HERBERT TIETZE ist International Sales Manager bei GÖPEL electronic GmbH; Göschwitzer Straße 58-60, 07745 Jena  
 Fon: 03641/689-60, Fax: 03641/689-644  
 e-Mail: h.tietze@goepel.com  
 e-Mail: s.meissner@goepel.com



**Abb 1:**  
 Testen mit ‚Boundary-Scan‘ bei nur einem BS-Schaltkreis



**Abb. 2:**  
**Schaltung – ein möglicher Kurzschluss zwischen den Bauteilen ist nicht erkennbar**

kunft benötigt ein Boundary-Scan-Test ‚nur‘ die fünf Kontakte zum IEEE.1149.1-Bus, plus Spannungsversorgung. Diese ‚Kontaktieranforderungen‘ sind unabhängig von der Komplexität des Designs oder den verschiedenen Gehäuseformen.

Das zweite Problem – welches Boundary-Scan so nicht lösen kann – ist die Pin-genaue Fehleranalyse bei bestimmten Arten von Kurzschlüssen. Dieses Problem wird noch größer, wenn hochkomplexe Gehäuseformen wie BGA, µBGA oder COB eingesetzt werden. Es ist kaum möglich, mal eben beide Komponenten auszulöten. Aber im Fehlerfall hat man normalerweise keine andere Möglichkeit, als dies zu veranlassen. Leider schlägt dann meist ‚Murphy’s Law‘ zu, und man lötet natürlich zuerst den falschen Baustein aus. Dies führt neben überflüssigen Bauteilerstörungen und erheblichem zeitlichen Mehraufwand zu relativ hohen Kosten und kann schließlich auch noch zu einer Schädigung der gesamten Platine führen. Es besteht aber mehr als nur eine theoretische Lösung für dieses Problem.

Abhilfe würde eine manuelle Messnadel (Probe) schaffen. Mit dieser wird eines der beiden Netze kontaktiert, und dann in beiden Richtungen ein zusätzlicher Boundary-Scan-Test ausgeführt. Ein Verfahren, das es ermöglicht, den fehlerhaften Baustein zu finden. Nur ist es bei hochkomplexen Designs nicht einfach, mit einer manuell geführten Messna-

del das richtige Netz fehlerfrei zu kontaktieren. Ganz zu schweigen von der Handhabung, wenn das Netz sich auf der Unterseite der Leiterplatte befindet. Wie stellt man nun sicher, dass zum Einen das richtige Netz kontaktiert und zum Anderen exakt so lange wie nötig wird? Eine manuelle Lösung ist kaum denkbar, und abgesehen von dem hohen zeitlichen Aufwand, das richtige Netz zu finden, ist der Kostengesichtspunkt nicht diskutabel.

Eine sinnvolle Abhilfe kann eine ‚Robot‘-geführte Messnadel (gefedert) sein. Diese auf den CAD-Daten basierende automatisch gesteuerte XYZ-Messnadel wird im Fehlerfall zu einer Netz-Koordinate gefahren und abgesenkt. Man schafft demnach ein künstliches Netz. Mit dieser Robot-Probe (‚Boundary-Scan-Prober‘) ist ein schnelles Testen praktisch möglich (im Vergleich zu manueller Vorgehensweise), und gleichzeitig wird das richtige Netz kontaktiert. Somit kann sichergestellt werden, dass sich die Messnadel ausreichend lange (im direkten Dialog mit der Boundary-Scan-Reparatursoftware) auf dem Prüfling befindet. Mit diesem ‚Boundary-Scan-Prober‘ wird ein neuer Weg in Richtung Geschwindigkeit, Pin-genaue Fehleranalyse und Anwenderfreundlichkeit für die Reparatur von Baugruppen eingeschlagen.

Als weiteres Problem bei der Reparatur von Baugruppen stellt sich gerade bei komplexen Designs die Übersichtlichkeit der

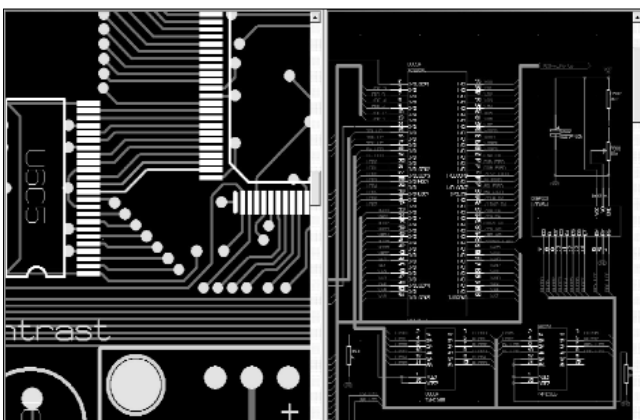
Schaltpläne dar. Ob ausgedruckt oder ‚paperless‘ steht man vor dem Problem der ‚schnellen Suche‘ auf einer Vielzahl von Seiten. Eine Software, die dem Anwender jederzeit auf Abruf beispielsweise Netze, Bauteile... etc. und die dazu gehörigen Stellen im Schaltplan anzeigt, ist eine sinnvolle Lösung für diese Problem. Diese Hilfestellung befreit den Anwender vom lästigen Suchen nach der richtigen Seite im Schaltplan. Eine intelligente Software bietet neben den einfachen ‚Such-Möglichkeiten‘ (siehe Abb. 4) nach Netzen, Bauteilen... etc. auch den umgekehrten Weg an. Damit ist es möglich, von einer Stelle (Netz, Bauteil...) im Schaltplan direkt zu der Position im Boundary-Scan Testprogramm zu springen.

**Fazit**

Boundary-Scan ist bereits heute und wohl noch stärker in der Zukunft ein sehr leistungsstarkes Werkzeug, das dem Elektronikfertiger seine Testprobleme abnehmen kann. Neben dem Testen/Programmieren von Baugruppen wird es immer wichtiger, eine sinnvolle Systemunterstützung angeboten zu bekommen. Nicht allein der schnelle ‚Go/NoGo‘-Test hilft im Hinblick auf Produktqualität und Kostenersparnis. Auch die Anforderung ‚genau (Position auf der Baugruppe) und schnell‘ den Fehler zu finden – plus deren Umsetzung – reduziert letztendlich die Kosten im Herstellungsprozess. Eine durchdachte Test- und Reparaturstrategie, die flexibel, schnell und anwenderfreundlich dem Bedienpersonal die Fertigungsfehler anzuzeigen vermag, stellt einen nicht zu unterschätzenden Kostenfaktor dar. Hersteller von Testsystemen, die ihre Marktposition festigen oder erhöhen wollen, können dies nur, indem sie ihren Kunden die Lösung anbieten, die zum einen die ‚reine‘ Testlösung ist, aber ebenso eine vereinfachte Handhabung bei gleichzeitiger Verringerung der Kosten bieten kann.



C.01



**Abb. 3:**  
**Grafische Unterstützung**

**Literatur**

- [1] ALTERA, Datenblatt
- [2] IEEE Std 1149.1 –1990, IEEE Standard Test Access Port and Boundary Scan Architecture, IEEE Computer Society, IEEE Standards Boards 1990
- [3] Boundary Scan Instrumentation Catalog, GÖPEL electronic GmbH, 2001