

# Statischer Test von A/D- und D/A-Wandlern

## Durch geringe Testzeit für Produktionstest qualifiziert

**I**n vielen Integrierten Schaltungen sind A/D- oder D/A-Wandler implementiert, für die oft ein dynamischer Test auf einem Mixed-Signal-Tester nicht erforderlich ist. Thema dieses Beitrags ist der schnelle statische Test eines 10-bit-A/D- und eines 10-bit-D/A-Wandlers auf einem Digitaltester.

Der Preis von Integrierten Schaltungen mit analogen Komponenten wird stark vom Produktionstest beeinflusst. Die drei wichtigsten Faktoren sind die Testgerätekosten, die Testprogrammentwicklung und die Testzeit. Die hohen Kosten von ‚Mixed-Signal-Testern‘ und die oft sehr lange Programmentwicklungszeit erfordern eine kostenorientierte Teststrategie: Was muss getan werden, um das Produkt auf dem kostengünstigsten Tester in der kürzesten Testzeit mit der notwendigen Testqualität zu überprüfen?

„Less Is Better“: daran sollte auch bei der Erstellung eines Testprogramms für D/A- und A/D-Wandler gedacht werden. Nichtideales Verhalten basiert auf relativ wenigen Halbleiter-Prozessvariablen und Fehlermodellen. Vorausgesetzt, der Wandler wurde vollständig charakterisiert und die Anforderungen bzw. Einschränkungen der Zielapplikation sind bekannt, genügt in vielen Fällen ein statischer Test des Wandlers bei einer niedrigen Frequenz.

### Statischer Test eines 10-bit D/A-Wandlers

Für einen Single-Chip-Digital-TV-Decoder mit einem dreikanaligen 10-bit D/A-Wandler (VideoDAC) sollte ein Testprogramm entwickelt werden. Die beim Test eines ähnlichen ICs gewonnenen Erfahrungen haben gezeigt, dass ein statischer Test, basierend auf schrittweisen Einzelmessungen mit der PMU (Parametric-Measurement-Unit) des Testers, aus-

reichend präzise ist, durch die lange Testzeit (über 10 s, bedingt durch die vielen tausend erforderlichen Einzelmessungen) jedoch nicht für die Produktion geeignet ist. Die Testzeit für die Ermittlung der statischen Kennlinienfehler INL, DNL, Offset und Verstärkung sollte nicht mehr als 500 ms betragen.

Als Alternativen kamen folgende Möglichkeiten in Frage:

- ▶ Beschleunigung des Tests durch Zusatzkomponenten auf dem Loadboard (z. B. A/D-Wandler zur Messwerterfassung, Mikrocomputer zur Ablaufsteuerung und Datenanalyse).
- ▶ Einsatz eines Digitaltesters mit integriertem schnellem Analogtestmodul.

Um die Machbarkeit der ersten Variante zu evaluieren, wurde ein entsprechendes Loadboard entwickelt und ein Testprogramm für einen Digitaltester erstellt. Erste Tests zeigten gute Ergebnisse und konnten in der vorgegebenen Testzeit von 500 ms durchgeführt werden. Kalibrierung und Wartung – vor allem in einem Fertigungsumfeld – wären jedoch nur sehr schwer möglich gewesen.

Es wurde entschieden, einen Digitaltester mit Analogtestmodul zu verwenden. Der Test wurde auf einer ‚Teradyne J750‘ implementiert, die mit einer ‚Converter-Test-Option‘ (CTO) ausgerüstet wurde. Diese CTO ist ein hochpräziser, kalibrierbarer synchroner Messschub mit 16-bit-Source- und Capture-Kanälen, mit denen ICs mit eingebetteten D/A- und A/D-Wandlern statisch getestet werden können.

Abb. 1 zeigt den Einsatz der CTO beim D/A-Wandler-Test des ICs. Der Baustein wird durch die digitalen Testerkanäle in den analogen Testmode gebracht, in dem die drei positiven und negativen D/A-Wandlerkanäle nacheinander durch die IC-Eingänge direkt mit den einer Rampe entsprechenden digitalen Codes stimuliert werden. Einige Taktzyklen später erscheinen diese (bedingt durch die Pipeline-Struktur des Wandlers) als Analogspannungen an den Ausgängen und werden von den 16-bit-A/D-Wandlern der CTO-Capture-Kanäle digitalisiert und in einem Speicher abgelegt. Die Steuerung dieser Messwerterfassung geschieht mit Instrument-Mikrocode-Befehlen in den Testvektoren.

Systembedingt beträgt die Messzeit mindestens 10 µs pro Schritt, wodurch die Messfrequenz auf 100 KHz beschränkt ist und nicht mit der Applikationsfrequenz von 27 MHz erfolgen kann. Nach Beendigung der Messung werden die Messwerte an den Hostcomputer des Testers übertragen und analysiert. Da die Referenzspannungen chipintern erzeugt werden, müssen auch sie durch zwei weitere CTO-Kanäle gemessen werden, da sie bei der Berechnung der Eingangsrampen und bei der Messwertanalyse berücksichtigt werden müssen.

Der Test aller drei Kanäle des D/A-Wandlers dauert ca. 100 ms. Im Vergleich zu der oben erwähnten ursprünglichen Testzeit von 10 Sekunden ist dies ein erheblicher Zeitgewinn, sodass die Testprozedur in einem Produktionstest verwendet werden kann. Die Kalibrierung kann im Rahmen der regelmä-

C.01

#### ▶ Autor

Dipl.-Ing. HERMANN FISCHER ist Senior Staff Engineer im Bereich Product- und Testengineering bei Motorola GmbH, BESD Design Center; Schatzbogen 7, D-81829 München  
Fon: 089/92103-475, Fax: 089/92103-850  
e-Mail: Hermann.Fischer@motorola.com

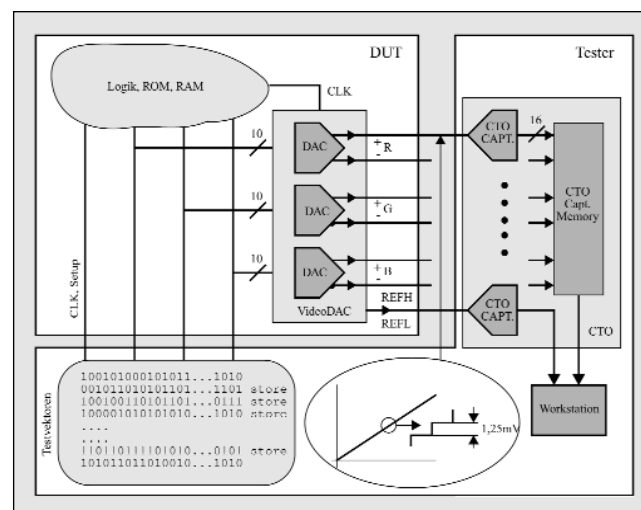


Abb 1:  
D/A-Wandler-Test mit der J750-Converter-Test-Option

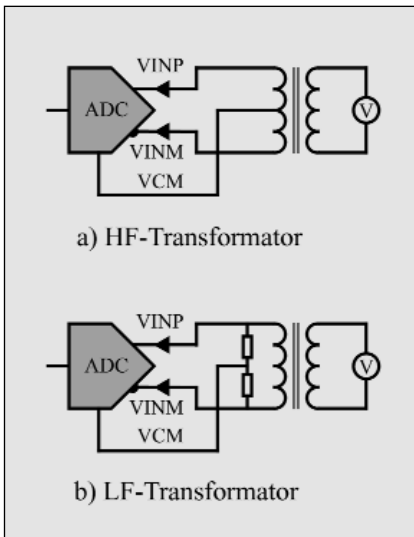


Abb. 2: Dynamische Ansteuerung des differentiellen A/D-Wandlers

ßen Systemkalibrierung ohne zusätzliche Messgeräte durchgeführt werden.

### Statischer Test eines differentiellen 10-bit A/D-Wandlers

Für eine Integrierte Schaltung mit einem differentiellen 10-bit-A/D-Wandler sollte ein Testprogramm für einen Digitaltester entwickelt werden. Für einen 6-bit A/D-Wandler wurde bereits erfolgreich eine auf einem unkorrelierten Histogrammtest basierende ‚Loadboard-Mounted‘-Implementierung durchgeführt [2], bei der ein Mikrocomputer den gesamten Test unabhängig vom Tester durchführte und das Ergebnis als ‚Pass-Fail-Information‘ an den Tester übermittelte. Eine Machbarkeitsstudie ergab, dass für einen 10-bit-Wandler die Kalibrierung und Wartung in einem Produktionsumfeld nicht zuverlässig durchführbar wäre.

Aufgrund der Erfahrung mit dem oben beschriebenen D/A-Wandler-Test wurde wiederum ein CTO-basierendes Testprogramm entwickelt. Da die maximal erreichbare Signalfrequenz von 100kHz für die Verwendung eines HF-Transformators zur Signaleinkopplung (Bild 2a) zu gering ist und der Einsatz eines NF-Transformators mit galvanischer Ankopplung an den zu großen Bauteiltoleranzen scheiterte, wurden die Eingänge symmetrisch zur ‚Common-Mode-Spannung‘ direkt angesteuert. Da diese differentielle Ansteuerung von der CTO nicht unterstützt wird, wurde deren Steuersoftware so erweitert, dass zwei CTO-Source-Kanäle synchron zur Ansteuerung der beiden differentiellen Eingänge des Wandlers verwendet werden können.

Das Blockschaltbild der CTO-Messung ist in Abb. 3 zu sehen. Drei CTO-Capture-Kanäle messen die chipintern erzeugten Referenzspannungen und die Common-Mode-Spannung. Aus diesen Werten werden die je 1.024 Abgewerte für die differentiellen Rampenfunktionen berechnet (1 Hit per Code) und in zwei Arrays zwischengespeichert. Dann beginnt der eigentliche Test: die 16-bit-D/A-Wandler der beiden CTO-Source-Kanäle stimulieren entsprechend den Vorgaben in den Arrays simultan die beiden Eingänge des A/D-Wandlers, das digitale Wandlungsergebnis wird – gesteuert durch Instrument-OpCodes in den Testvektoren – in Echtzeit in einen Speicher abgelegt und schließlich an den Hostcomputer des Testers übertragen, in dem Analyse und Pass-Fail-Entscheidung erfolgen.

Der Test des A/D-Wandlers dauert weniger als 30 ms. Er zeigt – ebenso wie der D/A-Wandler-Test – nur geringe Einflüsse von externen Störungen und kann in einem Produktionstestprogramm eingesetzt werden. Die im Vergleich zum D/A-Wandler geringere Testzeit wurde erwartet, da der A/D-Wandler einkanalig ist.

### Messwertanalyse und Pass-Fail-Kriterien

Die Analyse der gewonnenen Messwerte erfolgt im Hostcomputer nach Beendigung der Messwerterfassung durch entsprechende ‚VBA‘-Funktionen (Visual Basic for Applications). Der erforderliche Programmcode ist im Lieferumfang des Testers enthalten, kann

aber auch durch eigenen Programmcode ersetzt und erweitert werden. Zur Testzeitoptimierung können auch Visual-C-Funktionen eingebunden werden. Die folgenden statischen Kennlinienfehler wurden bei den oben beschriebenen Tests berechnet und als Pass-Fail-Kriterium gewertet:

- ▶ DNL (Differentielle Nichtlinearität): Die absolute Abweichung der Breite der Quantisierungsstufen vom idealen Wert 1.
- ▶ INL (Integrale Nichtlinearität): Die Abweichung der Mittelpunkte der realen Quantisierungskennlinie von denen der idealen Kennlinie.
- ▶ Offset-Fehler: Die Differenz zwischen dem ersten Übergang und dem idealen Wert von 1/2 LSB.
- ▶ Verstärkungsfehler: Die Abweichung der Geraden durch die Mittelpunkte der Kennlinie vom idealen Wert.

### Der Einfluss von externen Störfaktoren

Ein großes Problem bei einem statischen Test von analogen Komponenten ist der Einfluss externer Störungen, z. B. von Netzspannung, Leuchtstofflampen, anderen Messgeräten, usw. Beim oben erwähnten PMU-Test mit einer Messzeit von fast 10 ms pro Schritt konnte zwar dieser Einfluss durch Mehrfachmessung mit Mittelwertbildung kompensiert werden, was jedoch zu der Testzeit von über 10 s führte. Beim hundertfach schnelleren CTO-Test war der Einfluss wesentlich geringer, sodass auf eine Mittelwertbildung ver-

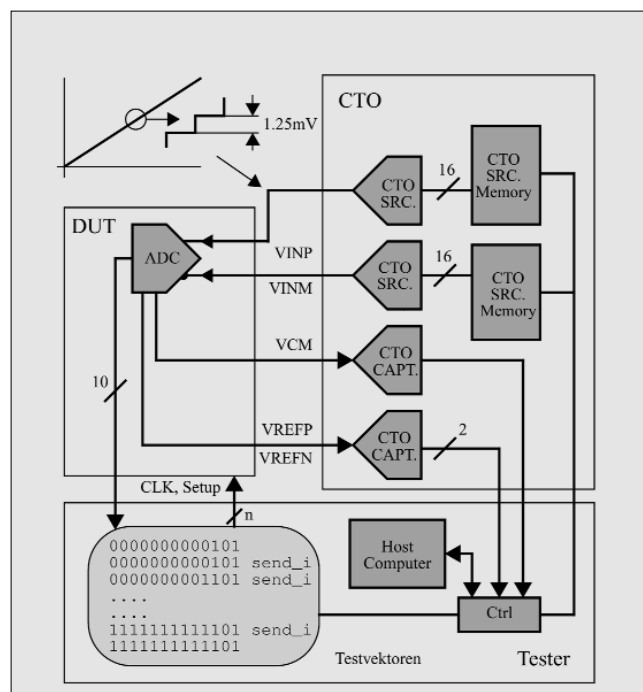
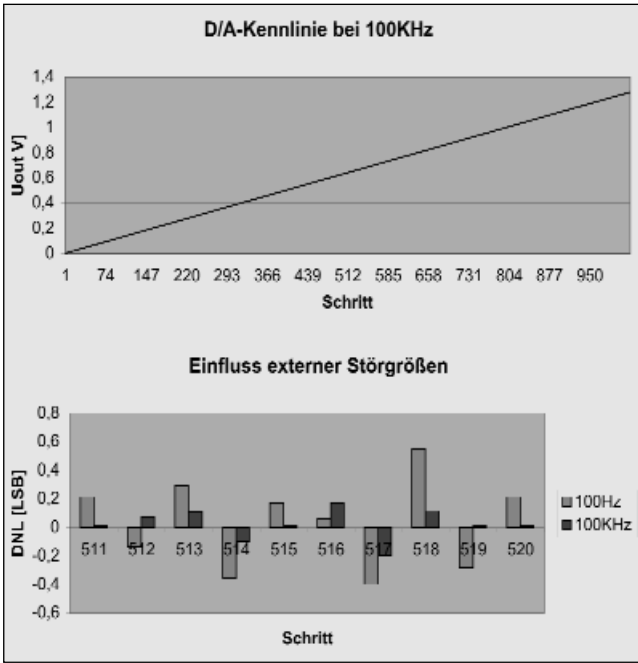


Abb. 3: A/D-Wandler-Test mit der Converter-Test-Option



**Abb. 4:**  
Einfluss von externen Störungen beim D/A-Wandler-Test in Abhängigkeit von der Taktrate

zichtet werden konnte. Dieser Effekt konnte durch den Vergleich zweier Messungen bei unterschiedlicher Geschwindigkeit nachgewiesen werden. Abb. 4 zeigt Ausschnitte zweier D/A-Wandler-Tests, die bei einer Taktrate von 100 Hz und 100 KHz durchgeführt wurden. Der Grund für den Unterschied ist, dass bei wachsender Frequenz externe Störgrößen relativ niederfrequenter werden und immer mehr als gleichspannungsmäßiger Offset in Erscheinung treten, der einfach kompensierbar ist.

Ziel bei der Entwicklung des Loadboards war eine gute Entkopplung der analogen Lei-

terbahnen von den digitalen Leiterbahnen und externen Einstreuungen. Dies konnte relativ einfach durch die Platzierung der analogen Leiterbahnen auf einem eigenen Layer und Abschirmung mit einem GND-Layer erreicht werden. Auf separate Layer für die analoge Versorgungsspannung und Analog-GND wurde verzichtet.

**Fazit**

Aus der Auswertung von Messergebnissen in der Vorserie und Rückmeldungen von Appli-

kationsingenieuren ergab sich, dass ein statischer A/D- und D/A-Wandler-Test mit einer rampenförmigen Eingangsfunktion eine Alternative zum Mixed-Signal-Test sein kann, falls der Wandler nicht ‚am Rande‘ der Spezifikation betrieben wird. Dies ist z. B. dann der Fall, wenn der Wandler eine höhere Auflösung hat, als in der Applikation verlangt wird (z. B. 10-Bit D/A-Wandler in einer 9-bit-Video-Applikation) und nicht mit der maximal spezifizierten Taktrate eingesetzt wird (z.B. 40 MHz-Wandler in einer 28,9 MHz-Applikation). Die vorgegebene Testzeit von 500 ms konnte in beiden Fällen unterboten werden, sodass die geschilderten Messmethoden im Produktionstest eingesetzt werden können. Zur weiteren Testzeitoptimierung bei D/A-Wandlern wird nun die Reduzierung der Messpunkte auf der Kennlinie untersucht [3].

**TEST**

**Literatur**

- [1] Trainingsunterlagen J750 Converter Test Option, Teradyne, Inc.
- [2] Mair, W., „Entwicklung einer Schaltung zum dynamischen Test eines schnellen A/D-Wandlers als Erweiterung eines Digitaltesters“, Diplomarbeit an der TU München, 1994.
- [3] Fasang, P.P., „An Optimal Method for Testing Digital To Analog Converter“, Tenth Annual IEEE Int., 1997.

C.01

www.publish-industry.net

more @ click TK3C0106

**LESERTIPP**

**TEST**

? *Sie interessieren sich für Informationen in Anzeigenmotiven?*

**Die Firmenreferenzliste (Griffmarke D.05) listet alle in dieser Ausgabe vertretenen Inserenten mit entsprechenden Seitenverweisen auf!**

Messen • Prüfen • Verifizieren

publish industry  
TECHNIK KOMMUNIZIEREN

Gollierstraße 23 · D-80339 München · Fon. +49/89/500383-0 · Fax. +49/89/500383-10 · info@publish-industry.net · www.publish-industry.net