

# Delay-Fault-Test

## At-Speed-Scantest von Integrierten Schaltungen

**G**eschwindigkeit und Miniaturisierung von Integrierten Schaltungen sind die treibenden Kräfte der Halbleiterbranche. Immer niedrigere Versorgungsspannungen sowie kleinere Transistorstrukturen und immer kürzere Interconnect-Leitungen resultieren zwar in schnelleren Schaltzeiten, erhöhen aber auch die Chance von Defekten. Leider werden viele erst beim Einsatz des ICs in der Applikation entdeckt, wenn die ICs nicht ‚at-speed‘ getestet wurden. Thema dieses Beitrags ist die Bewertung von Stärken und Schwächen verschiedener Tests sowie die Vorstellung des Delay-Fault-Test, der dynamische Fehler von Highspeed-ICs aufdeckt. Darüber hinaus erklärt der Autor, wie eine Implementierung auf einem VLSI-Tester funktioniert.

### Statischer Test

„Automatic Test Pattern Generation“-Werkzeuge (ATPG) zur Generierung von statischen Testvektoren basieren auf dem Stuck-At-Fehlermodell. Dieses Fehlermodell deckt Defekte ab, die durch Kurzschlüsse oder Unterbrechungen der Interconnect-Leitungen entstehen:

- ▶ Stuck-At 1: ein Gatteranschluss ist fortwährend ‚1‘,
- ▶ Stuck-At 0: ein Gatteranschluss ist fortwährend ‚0‘,
- ▶ Stuck-Open: ein Gatteranschluss ist unterbrochen.

Das Eingangs/Ausgangs-Verhalten eines ICs wird unter der Annahme verifiziert, dass alle Signale genügend Zeit zur Stabilisierung haben. Das Fehlermodell berücksichtigt niederohmige Kurzschlüsse und Unterbrechungen, bei hohen Systemfrequenzen können jedoch Logiksignale z. B. durch widerstandsbefahete Brücken und Unterbrechungen

### ▶ Autor

Dipl.-Ing. HERMANN FISCHER arbeitet im Bereich Product- und Testengineering bei Motorola;  
Schatzbogen 7, D-81829 München  
Fon: 089/92103-0, Fax: 089/92103-101  
e-Mail: hermann.fischer@motorola.com

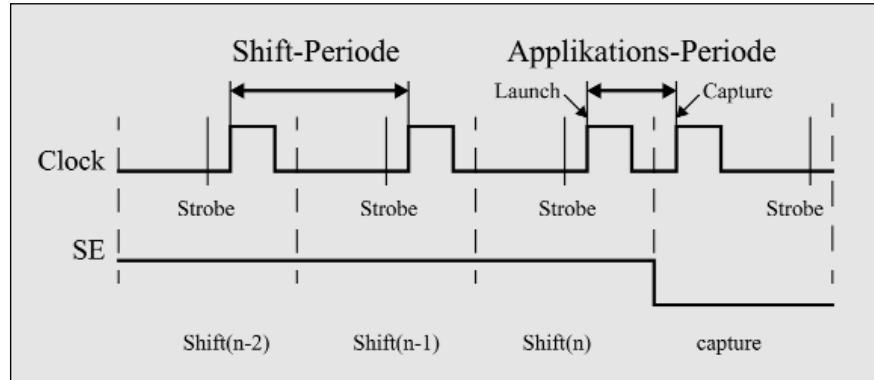


Abb. 1: Prinzipieller Ablauf eines ‚Slow-Fast-Slow‘-Scantests

soweit verzögert werden, dass die Schaltung ausfällt. So haben z. B. mindestens 3% der Brücken zwischen ‚Interconnect‘-Leitungen einen Widerstand von mehr als 500 Ohm. Diese Fehler werden bei einem statischen Test nicht erfasst, könnten aber durch zusätzliche funktionale Testvektoren erkannt werden, die dem Einsatz des ICs in der Applikation entsprechen.

### Funktionaler Test

Ein funktionaler Test von Highspeed-ICs bei einer spezifizierten Taktrate von mehreren hundert MHz ist meist schon aus Kostengründen kaum möglich, da die erforderlichen Highspeed-Tester sehr teuer sind und auch die Entwicklung und Fertigung der erforderlichen Loadboards und Probecards sehr aufwändig ist. Funktionale Testpattern wären zwar relativ einfach zu erzeugen, erfordern aber – besonders bei Mikroprozessoren – sehr

lange Initialisierungssequenzen, entsprechend viele Testvektoren, große Vektorspeicher und lange Testzeiten. Außerdem haben experimentelle Untersuchungen gezeigt, dass die Fehlererkennungsrate von funktionalen Testpattern nur sehr aufwändig zu berechnen und auf jeden Fall zu gering ist [1].

### Dynamischer Test

Um zu garantieren, dass das IC auch bei der spezifizierten Applikationsfrequenz funktionieren wird, ist ein strukturiertes, auf ATPG-Tools basierendes Verfahren zur Erstellung von Scantestvektoren notwendig, bei dem auch dynamische Fehlermodelle berücksichtigt werden. Diese Testmethode wird ‚Delay-Fault‘- oder auch ‚AC‘-Test genannt.

Ein ‚Slow-to-Rise‘-Fehler (STR) ist ein logisches Modell für einen lokalen Defekt eines Gatters, der eine steigende Flanke verzögert, ein ‚Slow-To-Fall‘-Fehler (STF) ist das

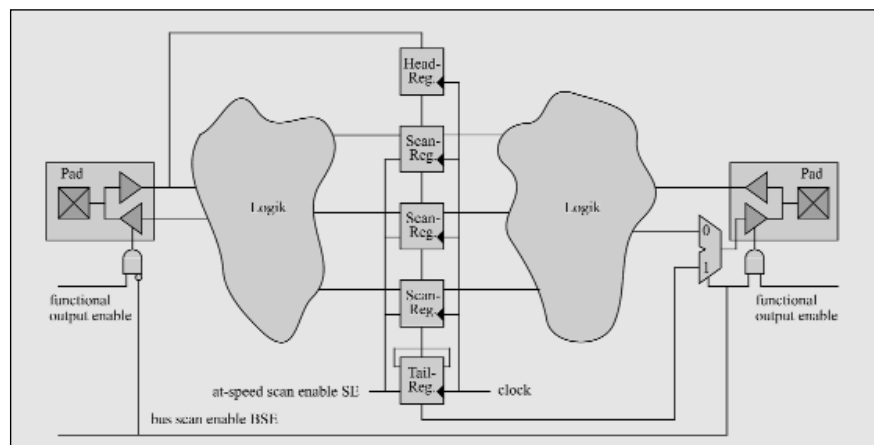
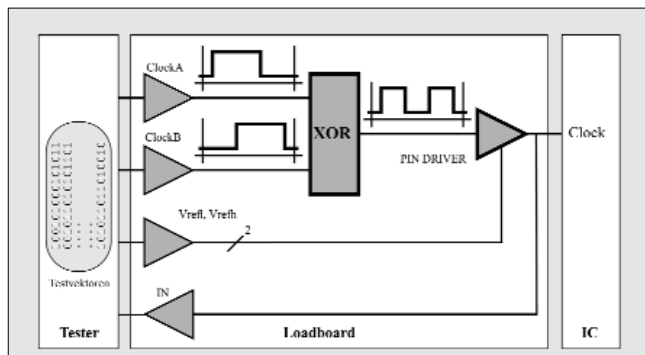


Abb. 2: At-Speed-Scan-Architektur



**Abb. 3:**  
**Highspeed-Clock-**  
**Generierung auf dem**  
**Loadboard**

### At-Speed-Scantest

Der Audioprozessor sollte auf einem Tester mit einer maximalen Frequenz von 100 MHz getestet werden, es hätte aber auch ein 50-MHz-Tester eingesetzt werden können. Wie kann unter diesen Umständen überprüft werden, ob das IC bei 140 MHz noch funktioniert? Abb. 1 verdeutlicht den prinzipiellen Unterschied zwischen Applikation und Test: Während in der Applikation die Taktrate im Allgemeinen konstant ist, genügt es beim At-Speed-Scantest, die Testmuster bei relativ langsamer Taktrate über Scanketten in das IC hineinzuschieben, am Ende des Schiebevorgangs in den funktionalen Capture-Mode umzuschalten, um schließlich mit einem weiteren Puls, dessen Abstand zum letzten Schiebepuls der Applikationstaktrate entspricht, chipintern Signale abzutasten, das Ergebnis beim nächsten Schiebezyklus wieder langsam aus dem IC hinauszuschieben und auszuwerten. Diese Methode wird oft ‚Slow-Fast-Slow‘-Test genannt, die Erzeugung entsprechender Testvektoren wird in [2] beschrieben. Durch diese Echtzeitabtastung können dynamische Fehler erkannt werden. Der Schiebezyklus

entsprechende Modell für eine fallende Flanke, wobei angenommen wird, dass diese Verzögerung so groß ist, dass das Signal seinen Sollzustand am Gatterausgang zum ‚Strobe‘-Zeitpunkt noch nicht erreicht hat.

Das ‚Path-Delay‘-Modell beschreibt Laufzeitfehler in Signalpfaden, die nicht durch einzelne lokalisierbare Fehler in den Elementen des Pfads hervorgerufen werden, sondern durch die Summierung aller Verzögerungen des Pfads, selbst dann, wenn die Verzögerungen der einzelnen Gatter innerhalb der spezifizierten Toleranzen sind. Das Path-Delay-Modell erlaubt auch die Geschwindigkeits-Selektierung eines ICs.

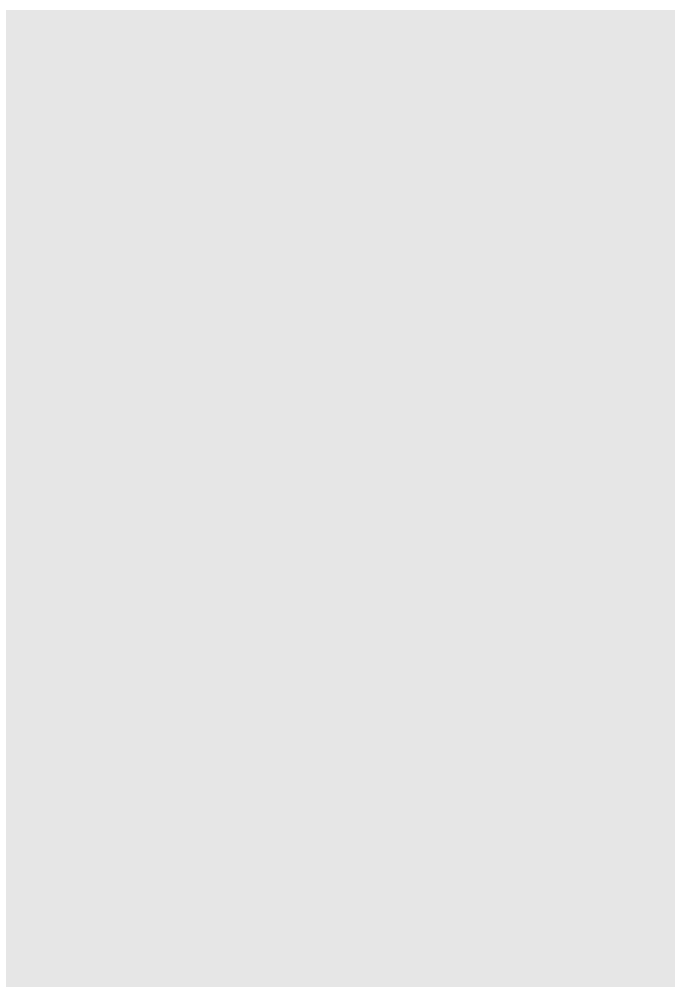
Bei ‚Deep-Submicron‘-Technologien treten auch vermehrt Effekte auf, die nicht auf Fertigungsproblemen, sondern auf der kapazitiven Kopplung benachbarter Signale und ‚Supply-Bounce‘ beruhen. Die beiden wichtigsten dieser so genannten ‚Signal-Integrity‘-Effekte sind ‚Crosstalk‘ und ‚Power-Rail-Coupling‘, die ebenso zu laufzeitbedingtem Fehlverhalten führen können.

### Iddq-Test

Da die oben beschriebenen Defekte mit erhöhten Ruhestromen einhergehen können, wird zur Verbesserung der Testqualität oft der ‚Iddq‘-Test eingesetzt, bei dem die Stromaufnahme des ICs im Ruhezustand gemessen wird. Dieser Test kann Defekte aufdecken, die durch den ‚Stuck-At-Fault‘-Test nicht abgedeckt sind und galt lange Zeit als sehr sensitive Testtechnik, verliert jedoch bei Deep-Submicron-Technologien immer mehr an Wirksamkeit, da der hohe Ruhestrom defektfreier Schaltungen wegen ‚Wafer-zu-Wafer‘- und ‚Die-zu-Die‘-Prozessschwankungen und dem hohen Background-Strom die typischen Fehlerströme der meisten Defekte übersteigt. Ein Ausweg aus diesem Dilemma ist das Konzept des differentiellen bzw. ‚Delta-Iddq‘-Tests, der die ‚Lebenserwartung‘ des Iddq-Tests wohl noch um einige Jahre verlängern wird.

Werden bei der Entwicklung des ICs die erforderlichen Teststrukturen integriert und

für die Generierung der Testpattern dynamische Fehlermodelle herangezogen, können Highspeed-ICs erfolgreich auf Low-Speed-Testern getestet werden. In [3] wird berichtet, wie ein 540 MHz-Power-PC bei einer Testfrequenz von 63 Mhz ‚At-Speed‘ getestet wurde. In Folgenden wird die Entwicklung eines auf Scanvektoren basierenden Delay-Fault-Tests für einen in einer 0,18-µm-CMOS-Technologie gefertigten 140-MHz-MP3-Audiodekoder mit einem 32-bit-‚ColdFire‘-Prozessor erläutert und die Durchführung des Tests auf einen 100-MHz-J750-Tester gezeigt.



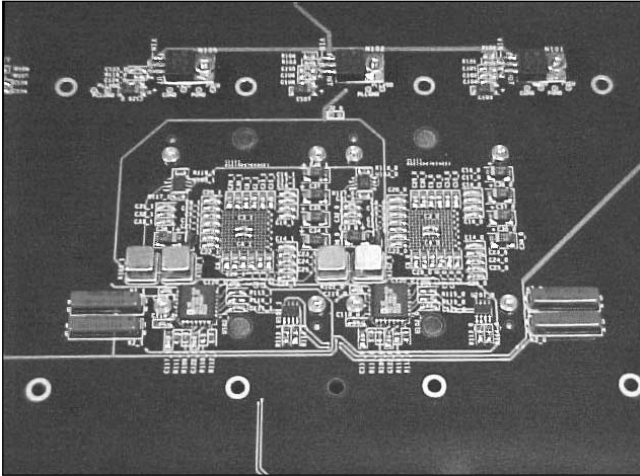


Abb. 4:  
Highspeed-Clock-Modul  
auf dem Loadboard

wiederholt sich oftmals, die Anzahl ergibt sich aus der Komplexität der Schaltung, der Länge der Scanketten, der gewünschten Fehlererkennungsrate und dem Algorithmus des eingesetzten ATPG-Tools. Das ‚At-Speed‘-Clocksignal kann entweder chipintern, z. B. mit einer PLL zur Frequenzvervielfachung, oder vom Tester erzeugt werden.

Da durch Delay-Fault-Testvektoren nicht alle Stuck-At-Fehler gefunden werden können, ist die Verwendung von ‚Stuck-At‘-Vektoren zur Erhöhung der Fehlererkennungsrate nach wie vor erforderlich.

### At-Speed-Scan-Architektur

Ein At-Speed-Scantest kann nur dann durchgeführt werden, wenn dies bereits der Entwicklungsphase des ICs berücksichtigt wird. Abb. 2 zeigt die wesentliche Struktur: Die aus dem Stuck-At-Scantest bekannten Scanketten werden mit Head- und Tail-Registern ergänzt, um u. a. den Einfluss der Verzögerungszeiten zwischen den I/Os und den Scanketten zu maskieren. Das BSE-Signal vereinfacht die

zeitkritische Umschaltung der Pad-Kontrolllogik. Auf weitere Details wird in [2] eingegangen.

### Implementierung auf einem VLSI-Tester

Ist der Tester aufgrund seiner Spezifikation nicht in der Lage, die schnelle Pulsfolge direkt zu erzeugen, kann man sich eines Tricks bedienen, der in Abb. 3 dargestellt ist. Das Clocksignal wird durch Postprocessing der Testvektoren in zwei zeitlich verschobene Signale ‚ClockA‘ und ‚ClockB‘ zerlegt, vom Tester auf zwei Kanälen getrennt ausgegeben und auf dem Loadboard mit einem XOR-Gatter wieder zur ursprünglichen Pulsfolge zusammengesetzt, während die restlichen Pads wegen ihrer niedrigeren Taktrate direkt mit dem Tester verbunden werden können. Ein Vorteil der XOR-Verknüpfung sind die im Vergleich zum Clocksignal relativ großen Pulsbreiten von ClockA und ClockB. Für die ‚DriveLo‘- und ‚DriveHi‘-Spannungsreferenzen sowie für den Rückkanal zur Kalibrierung werden drei weitere Tester-

kanäle verwendet. Dies hört sich recht einfach an, erfordert aber Bauteile mit sehr schnellen Flanken, kurzen Laufzeiten und steuerbarer Ausgangsspannung. Ein weiteres Problem ist die softwaregesteuerte DC- und AC-Kalibrierung der Schaltung, die auch in einem Fertigungsumfeld ohne zusätzliche Messgeräte vom Operator durchführbar sein muss.

Auf einem Loadboard für einen J750-Digitaltester, auf dem zur Testzeitverkürzung je zwei ICs synchron getestet werden, wurden zwei von Teradyne vertriebene ‚Highspeed-Clock-Modul-Kits‘ integriert, die aus einem ‚ECL-XOR‘-Gatter, einem Highspeed-Treiber, weiteren Bauteilen und Drop-In-Softwaremodulen zur Kalibrierung bestehen [4]. Abb. 4 zeigt einen Ausschnitt des Loadboards. Zum Debugging des Loadboards, der Kalibrierroutinen und des Postprocessing-Scripts zur Zerlegung des Clocksignals in zwei getrennte Signale wurde ein 200 MHz-Doppel-puls generiert, der in Abb. 5 dargestellt ist.

### Entwicklungswerkzeuge

Für die Generierung der ‚Stuck-At‘-, ‚Transition-Fault‘- und ‚Path-Delay‘-Pattern wurde ‚TetraMAX ATPG‘ der Fa. Synopsys eingesetzt. BSE, Head- und Tail-Register wurden manuell implementiert. Die Übersetzung der Testpattern in das Testerformat und die Generierung des Testprogramms erfolgte mit Stingray, einem Motorola-Inhouse-Tool.

### Resultat

Ein 140 MHz-Audioprozessor-IC wurde Delay-Fault-Test-kompatibel entwickelt und die erforderlichen At-Speed-Testvektoren wurden mit einem ATPG-Tool erzeugt. Für einen 100-MHz-Tester wurde ein spezielles Loadboard entworfen, um die Testvektoren mit über 140 MHz ablaufen lassen zu können. Prototypen konnten innerhalb weniger Tage auf dem Tester verifiziert werden. Testprogramm und Loadboard werden erfolgreich in der Produktion eingesetzt. **TEST**

### Literatur

- [1] K.-T. Cheng: Transition Fault Testing for Sequential Circuits, IEEE Transactions On Computer Aided Design of ICs and Systems, 1991.
- [2] V. Vorisek, T. Koch: At-Speed ATPG for SoC-Designs, SNUG Europe, 2002.
- [3] N. Tendolkar, e. a.: At-Speed Testing of Delay Faults for Motorola's MPC7400, a PowerPC Microprocessor, 18. IEEE Test Symposium, 2000.
- [4] High Speed Clock Module Guide, Teradyne Inc., 2001.

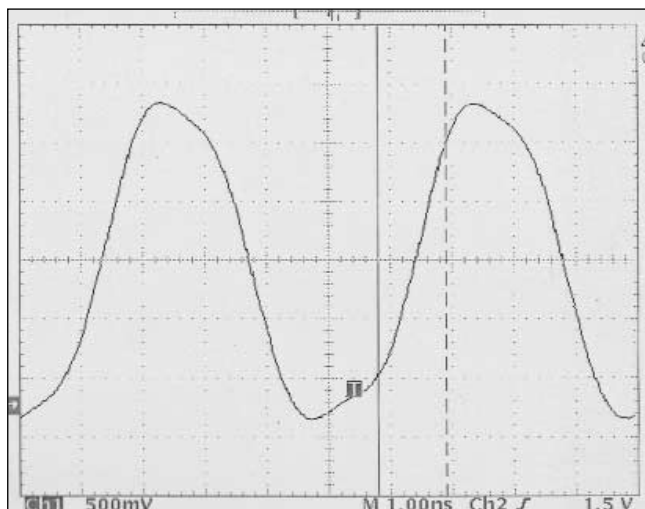


Abb. 5:  
200-MHz-Pulsfolge des  
Highspeed-Clock-  
Moduls