

„Hohe Performance ohne Kompromisse“

Im Interview: Dipl.-Ing. (FH) Edmund Gerstl, Actel GmbH

Der Halbleiterhersteller Actel bringt eine FPGA-Bausteinfamilie auf den Markt, die besonders für High-Speed-Anwendungen gedacht ist. Im Interview stellt der Regional Manager Central Europe von Actel, Edmund Gerstl, die neue FPGA-Generation vor und erklärt, warum sich die neue Produktfamilie gerade für Applikationen mit hohen Anforderungen an die Verarbeitungsgeschwindigkeit eignet.

■ Wie hat sich Actel positioniert und welche Rolle spielt dabei die neue Produktfamilie?

Gerstl: Actel adressiert verschiedene, aus Sicht des Unternehmens, interessante Teilbereiche des FPGA- bzw. CLPD-Marktes. Dazu gehören zum einen Teilbereiche, in denen Merkmale wie Wiederprogrammierbarkeit bei gleichzeitig sehr hohem Schutz vor Re-Engineering, die Notwendigkeit einer Single-Chip Lösung, Non-volatility oder ein sehr enger Kostenrahmen gefordert werden. Zum anderen aber auch der stark wachsende Bereich der High-Speed-Anwendungen. Etwa die Hälfte der FPGA-Designs wird zukünftig in Frequenzen jenseits der 100-MHz-Taktraten angesiedelt sein. Diesen Markt wollen wir mit der neuen FPGA-Familie bedienen. Die dritte Säule unseres Geschäfts bildet das Marktsegment der Anwendungen mit besonderen Anforderungen an die Strahlungsfestigkeit. Hier bieten wir z.B. Bauelemente für die Satellitenelektronik an.

■ Welche Überlegungen haben zu der Entwicklung dieser Produktfamilie geführt?

Gerstl: Die neue AX-Bausteinfamilie – die Buchstabenkombination steht dabei für ‚Accelerator‘ – ist auf die besonderen Anforderungen der Kom-

munikationsanwendungen zugeschnitten. Dieser Markt ist u.a. davon geprägt, dass immer schnellere Kommunikationsschnittstellen zum Einsatz kommen. Untersuchungen von Dataquest bestätigen, dass dadurch auch die Leistungsanforderungen bezüglich der geforderten Systemfrequenz von FPGAs und CPLDs stetig steigen. Allerdings dominieren ASICs bisher im Frequenzbereich über 100 MHz deutlich. Diese Grenze wandert aber kontinuierlich noch oben, darunter können zunehmend FPGAs mit ASICs erfolgreich konkurrieren und letztere verdrängen. Viele FPGA-Lösungen eignen sich jedoch nur bedingt für den Einsatz in Kommunikationsanwendungen. Ein 10-Gbit/s-Datenpfad lässt z.B. mit konventionellen FPGAs nur realisieren, indem der Datenstrom parallelisiert wird, da die gebotene Taktfrequenz des Bausteins nicht ausreicht, um die Daten schnell genug verarbeiten zu können. Die dazu erforderliche De-Serialisierung bzw. Serialisierung sowie das Pipelining komplizieren nicht nur das Design, sondern belegen auch einige der sonst anderweitig verwendbaren Logikressourcen. Anwendungen, in denen FPGAs zur Verarbeitung von Datenübertragungsstandards wie Fibre-Channel, Ethernet oder SONET verwendet werden sollen, werden dadurch unnötig verteuert.

■ Welche Merkmale zeichnen die AX-Produkte aus?

Gerstl: Die zugrundeliegende Sea-of-Modules-Architektur zeichnet sich durch eine sehr hohe interne Frequenz aus: Die interne Taktfrequenz beträgt 500 MHz, wenn eine Logikebene verwendet wird, bei sechs Logikebenen sind immerhin noch 156 MHz erreichbar. Unseres Wissens nach, ist der Baustein damit etwa 20 % schneller als andere verfügbare FPGA-Lösungen. Benchmarks zeigen, dass dies keine theoretischen Werte sind: PCI-X konnte mit 133 MHz umgesetzt werden, 8b/10b ENDEC mit 156 MHz und CRC32 mit einem 64-Bit-Datenpfad bei 156 MHz. Ein weiterer Pluspunkt dieser Architektur ist das leistungsfähige und sehr flexibel gestaltbare Clocking: Der Chip bietet sowohl 1-GHz-PLLs als auch globale Taktverteilungsnetzwerke, die ein Clock-Floorplaning überflüssig machen. Die als Logik-Tiles organisierten Logikgatter sind sehr einfach partitionierbar. Wird nur ein Modul des Clusters benötigt, ist der Rest nicht blockiert und kann für andere Schaltungsfunktionen verwendet werden. Ein weiteres herausragendes Merkmal sind die in die Logik-Tiles integrierten 4,5-kB-RAM-Blöcke, die zusätzlich jeweils einen FIFO-Controller enthalten. Damit das FPGA auch



Dipl.-Ing. (FH) Edmund Gerstl ist Regional Manager Central Europe, Actel GmbH.

die Kommunikationsleitungen ausreichend treiben kann, sind leistungsfähige Buffer, die hohe Fanout-Werte zulassen, implementiert worden. Ein weiteres interessantes I/O-Feature sind die Per-Pin-FIFOs, d.h., jeder nach außen geführte Ausgang bzw. Eingang ist mit einem separaten 64-Bit-FIFO ausgestattet. Dies ist besonders für Anwender interessant, die Applikationen mit unterschiedlichen asynchronen Taktfrequenzen realisieren wollen.

■ Warum wurde der FIFO-Controller fertig als Hardware integriert?

Gerstl: Da die Speicherblöcke bereits den FIFO-Controller enthalten, können einfach und schnell FIFOs realisiert werden ohne dass dazu weitere Logikgatter für den Aufbau eines Controllers benötigt werden. Die Logik-Ressourcen stehen damit vollständig für die Anwendung zur Verfügung.

■ Wie konnte die hohe Taktfrequenz erreicht werden?

Gerstl: Die Familie wird in 0,15- μ -CMOS-Technologie mit sieben Signal-Layern gefertigt. Nun steht die prinzipiell von der FPGA-Architektur erreichbare Performance nicht automatisch für die Anwendung zur Verfügung, beschränkte On-Chip-Routing-Möglichkeiten können schnell zum begrenzenden Faktor werden. Actel hat daher bei der Entwicklung der AX-Familie besonderen Wert auf umfangreiche Routing-Ressourcen gelegt. Dank dieser Bemühungen, kann der Anwender sehr kurze Pfade schaffen und damit die Leistungsfähigkeit der Architektur nahezu uneingeschränkt für die Anwendung nutzen. Der Systemtakt kann so typischerweise 350 MHz betragen. Hier zeigt sich ein wesentlicher Vorteil der von uns eingesetzten Antifuse-Technologie gegenüber anderen Technologien wie SRAM. Die feine Granularität der Struktur – 54 Mio. Antifuse-Switches gegenüber 7,5 Mio. Switches in vergleichbaren SRAM-FPGAs – ist

Voraussetzung für diese Routing-Möglichkeiten. Der Chip enthält neun unterschiedliche Hierarchie-Level für das Routing, z.B. lokale oder High-speed-Verbindungen. Der Place&Route-Software stehen somit immer optimal segmentierte Routing-Möglichkeiten zur Verfügung.

■ Welchen Vorteile und Nachteile bietet die Anti-Fuse-Technologie dem Anwender?

Gerstl: Neben der erwähnten hohen Taktfrequenz sind als weitere Vorteile der Anti-Fuse-Technologie zu nennen: Die programmierte Struktur bleibt in den Bauteilen erhalten, da sie nicht flüchtig wie bei SRAM-basierten Lösungen sind. Unsere Produkte benötigen im Gegensatz zu SRAM-basierten FPGA weder Controller noch ein Boot-PROM. Bei Antifuse-FPGAs tritt auch nicht der von anderen Technologien her bekannte extrem hohe Einschaltstrom auf, so dass externe Maßnahmen, wie Stützkapazitäten zur gesonderten Stromversorgung in der Power-UP-Phase entfallen. Was immer wichtiger wird ist daneben die Designsicherheit, d.h. im Gegensatz zu SRAM-Bausteinen kann das Design nicht ausgelesen werden. Aufgrund der Technologie lässt sich das Bauteil nicht mehrmals programmieren. Das stellt für manche Entwickler ein Problem dar. Meist handelt es sich dabei aber eher um eine psychologische Hürde, denn um eine echte Anforderung der geplanten Anwendung: Der Prozentsatz der Designs, die Reprogrammierbarkeit unbedingt erfordern, ist nach wie vor gering.

■ Welche Komponenten gehören zur AX-Familie?

Gerstl: Die Bausteinfamilie umfasst fünf Varianten. Der kleinste Baustein ‚AX125‘ bietet 125 K Systemgatteräquivalente, der größte 2 Mio. Systemgatteräquivalente.

■ Welche Unterstützung bieten Sie Ihren Kunden?

Gerstl: Einerseits bieten wir eigene Tools zur Unterstützung des Designer an, wie z.B. ‚Designer‘, mit dem Place&Route-Aufgaben durchgeführt werden können oder ‚Liberio‘, ein Paket bestehend aus einem Frontend zur Designeingabe, aus Designer und einem Simulator. Ein weiteres Actel-Tool ist ‚Silicon Explorer II‘, ein Debugging-Werkzeug, das den Einblick auf die internen Knoten des Bauteils erlaubt. Zusätzlich kann der Designer von uns ein Evaluierungs-Board beziehen, um die Einarbeitungsphase zu verkürzen. Andererseits haben wir für Unterstützung durch die Tools von EDA-Anbietern gesorgt. Dazu gehören ‚Synplify 7.1‘, ‚LeonardoSpectrum 2002a‘ und ‚Design Compiler‘. Damit das Design von komplexeren Chips schneller absolviert werden kann, bieten wir als Ergänzung unseren Kunden eine IP-Bibliothek an. Derzeit stehen etwa 40 Cores zur Verfügung, die speziell für die AX-Architektur optimiert wurden. Dazu gehören Controller für spezielle Datenkommunikationsschnittstellen wie PCI-X oder Ethernet aber auch Datenschnittstellen für Prozessoren, Speicher oder Mikrocontroller. Im Münchner Büro stehen, zusätzlich zu den Ressourcen unserer Distributoren MSC und Unique, drei Applikationsingenieure zur Unterstützung des Kunden bereit.

■ Wie sieht die Road-Map aus?

Gerstl: Die AX-Familie bietet bereits heute hohe Performance

ohne Kompromisse bei geringeren Kosten und niedrigerer Stromaufnahme. Auch wenn noch nicht klar ist, welche Standards und Protokolle aufkommen werden und sich durchsetzen können, ist deutlich erkennbar, dass Applikationen häufig mehrere Kommunikationsschnittstellen gleichzeitig unterstützen müssen. Als Folge werden Chips benötigt, die verschiedene Standards ‚übersetzen‘ müssen. Diese Anwendung werden wir mit einem ‚Bridge‘-FPGA adressieren, das intern auf der vorgestellten Architektur basiert, einen in Hardware realisierten Protokoll-Controller, einen physikalischen Layer und einen Analogteil enthält, der auch die entsprechenden Pegel übersetzen kann. Der Designer kann dann aus den unterstützten Standards diejenigen selektieren, die er für seine Applikation benötigt. Wie viele und welche Standards in Zukunft von einem solchen Chip unterstützt werden, ist noch nicht entschieden. Dies hängt unter anderem davon ab, wie stark sich die Standards jeweils unterscheiden werden. Klar ist aber schon, dass die ersten Chips 10-GBits/s-Bridges sein werden. Ende 2003 wollen wir dann mit einer Vierfach-10-GBits/s-Bridge auf den Markt kommen. Neben diesen Bausteinen wird es in den nächsten Monaten eine auf der AX-Architektur basierte Hi-Rel-Familie geben.

www.publish-industry.net
more @ click DV92202