

Auswirkungen der Build-up-Technologien

Build-up-Technologien bei Leiterplatten reduzieren Kosten und verbessern das Systemdesign

Verbesserte Leiterplattentechnologien können problemloser und schneller als eine immer weiter vorangetriebene Integration auf Chip-Ebene dazu beitragen, die Kosten komplexer moderner elektronischer Geräte und Systeme im Zaum zu halten. Wie dies mit Build-up-Technologien erreicht werden kann zeigt der Beitrag. STEVE BURDEN

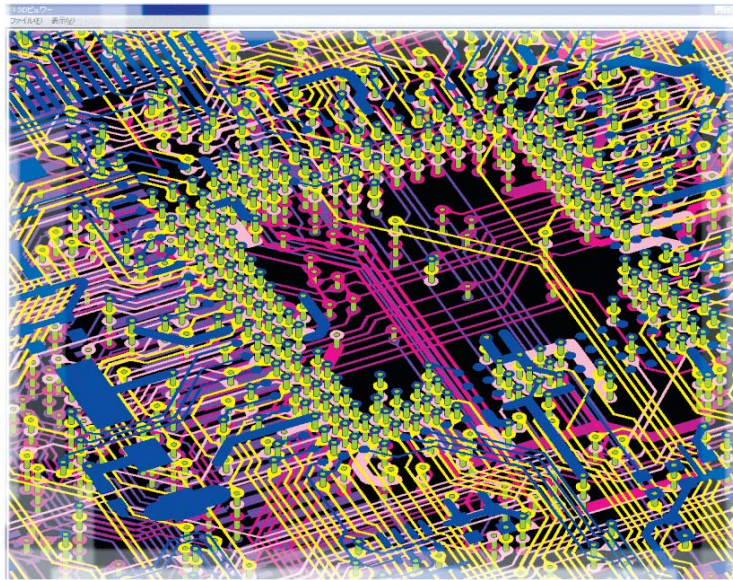


Abb. 1: 6-Layer-Build-up-Leiterplatte, die mit Zukens ‚Board Integrity Solution‘ entwickelt wurde. Dargestellt mit der CR-5000 3D-Entwicklungsumgebung



Steve Burden ist Product Manager für Zukens Place & Routing-Technologien. 1981 erlangte er seinen akademischen Abschluss in Elektrotechnik an der Bradford University in England. Er ist seit 87 bei Redac tätig. Seit der Übernahme durch Zuken spezialisierte sich Burden auf das Design-Layout.

Bis heute ist der integrierte Schaltkreis unschlagbar, wenn es darum geht, ein besseres Preis-/Leistungsverhältnis zu erlangen.

Die Produktivitätslücke zwischen der Chipentwicklung und dem im Vergleich dazu eher langsamen Vorankommen der Leiterplattentechnologie ist offensichtlich: Das Größen-/Leistungsverhältnis bei ICs hat sich in den letzten 25 Jahren um einen Faktor über 100 verbessert. Die Leiterplattentechnologie kann für den gleichen Zeitraum nur den 10fachen Fortschritt verzeichnen. Da System-on-Chip-Designs eine aufwändige und mit Risiken behaftete Lösung sind, um Systemkosten und Komplexität zu verringern, macht sich eine verbesserte Leiterplattentechnologie wesentlich schneller bezahlt. Das Resultat sind geringere Systemgrößen und -kosten, und zwar zu einem Bruchteil des Risikos

und der vorlaufenden Entwicklungskosten, wie sie bei der Entwicklung oder Anpassung von anwendungsspezifischen Schaltkreisdesigns (ASICs) auftreten.

Die Notwendigkeit der hohen Anzahl von Verbindungen wird durch die immer komplexer werdenden ICs vorangetrieben. Da die Anzahl der Anschlüsse von Pin-Grid- und Ball-Grid-Array-Gehäusen in ein paar Jahren von 512 auf über 4000 ansteigen wird, ist der einzig praktische Weg eine Leiterplatte zu routen, jeden Anschluss mit einer Durchkontaktierung zu versehen und dadurch mit einer Innenlage zu verbinden.

Build-up-Technologien ermöglichen es, die Produktivität auf Leiterplattebene zu verbessern. Sie bieten Vorteile bezüglich einer höheren Dichte auf der Systemebene und Verbesserungen bei der Anzahl der Lagen, Gewicht, leiter-

plattenspezifischer elektrischer Parameter und Kosten. Um davon profitieren zu können, muss ein umfangreicher Herstellungsprozess bereits vorhanden sein. Entwickler benötigen dazu ausgereifte Tool-Pakete, die es ihnen ermöglichen, die von den Build-up-Technologien bereitgestellten Verbesserungen in den Prozess einzubinden.

Build-up-Technologien machen sich am meisten bei der Entwicklung von Leiterplatten bezahlt, die über acht oder mehr konventionelle Lagen verfügen. Es mag als teure Alternative gelten, aber der Entschluss, ein High-Density-Interconnect-Board mit neuen Technologien zu verwenden, kann erhebliche Einsparungen bezüglich Größe und Kosten mit sich bringen. Hinzu kommt die Möglichkeit, die Anzahl der Board-Lagen um 20 bis 50% zu reduzieren. Reduzieren sich die Lagen von 16 auf 12, bedeutet dies immense Kosteneinsparungen. Für einige äußerst komplexen Telekommunikationsanwendungen, die vorher Leiterplatten mit 24 oder 26 Lagen benötigten, kann deren Anzahl nun auf 12 bis 16 reduziert werden: Kosten können so eingespart und der Ausstoß erhöht werden. Die Verringerung der Lagen-Anzahl wird durch eine Kombination aus Microvias, die komplett innerhalb der Leitungsbreite angesiedelt sind, und dem Einsatz von Via-in-Pad-Techniken erreicht. Bei der Via-in-Pad-Technik werden kleinere Löcher verwendet und somit die Fehleranfälligkeit durch offene Lötstellen verringert. Dünnere Leiterbahnen können zudem durch die Einbindung von Kondensatoren im Siebdruckverfahren erreicht werden. Im Gegensatz zum Ätzen der Leiterbahnen, ausgehend von einer festen Folie, lässt sich das Siebdruckverfahren wesentlich besser steuern. Mit Hilfe der Build-up-Technologie erreichen die Leiterbahnen gerade einmal die Größenordnung von Zehntel μm , wohingegen bei Ätzverfahren etwa 100 μm als praktisch minimale Leiterbahnbreite erzielt werden.

Durch zunehmend kompaktere Designs erübrigt es sich, Tochterplatinen und dazugehörige Steckverbinder einsetzen zu müssen. Eine weitere Möglichkeit, Kosten einzusparen.

Die Entwicklung neuer Herstellungstechniken für Leiterplatten liefert die Grundlage für das zunehmende Interesse an Build-up-Technologien.

Entwicklung und Herstellung von Build-up-Boards

Eine gängige Build-up-Konstruktion besteht aus Lagen mit Core-Material und einer Reihe von darauf folgenden Build-up-Lagen. Eine 1-4-1-Bezeichnung bedeutet ein 4-Lagen-Core mit einer Build-up-Lage auf jeder Seite. 2-4-2 beschreibt den gleichen 4-Lagen-Core mit zwei Build-up-Lagen auf jeder Seite. Eine 2-4-2-Leiterplatte ist äußerst dicht gepackt und

kommt nur dort zum Einsatz, wo eine hohe Anschlussdichte bzw. Pinzahl notwendig ist. Build-up-Lagen werden üblicherweise für das Layout von Bausteinen mit hoher Anschlusszahl verwendet. Der Core wird wie in herkömmlichen Multilayer-Boards für das Signal-Routing und die Versorgungs- und Masseleitungen verwendet.

Bei Build-up-Boards werden herkömmliche gebohrte Through-Hole-Vias mit Microvias kombiniert. Die Microvias mit etwa 100 μm Durchmesser stellen für Leiterplattenentwickler die größte Schwierigkeit dar. Dabei wird ein fortschrittlicher Leiterplatten-Herstellungsprozess angewendet, in dem Microvias die Verbindung durch die dielektrischen Lagen des Boards hindurch schaffen. Sie werden üblicherweise in Blind-Via-Konstruktionen verwendet, in denen die äußeren Lagen eines Multilayer-Boards mit der nächstgelegenen Signal-Lage verbunden sind. Um den Durchmesser der Vias von 300 μm , wie er bei heutigen Leiterplattentechnologien üblich ist, auf 30 μm oder weniger zu reduzieren, sind Herstellungstechniken wie das Laserbohren, Plasmaätzen oder die Lithografie üblich. So entstehen Buried-Vias in den Core-Lagen des Boards. Im Gegenzug bleiben die Oberflächen-Lagen frei von großen Pads, wie sie normalerweise mit Through-Board-Vias in Verbindung gebracht werden. Microvias sind nicht unbedingt eine neue Technologie. 1985 präsentierte Hewlett-Packard in den USA eine Multilayer-Technologie mit Laserbohrung. 1987 verwendete Siemens-Nixdorf in Deutschland mit Lasern gebohrte Polyimidfilm-Multilayer-Boards und zwei Jahre später bot Dyconex aus der Schweiz eine kommerzielle plasmageätzte Polyimidfilm-Technologie an. Doch erst seit kurzem werden diese Technologien auf breiter Front angewendet. Die Nachfrage nach kleineren, leichteren und schnelleren Technologien machte dies möglich. Gängige Techniken zur Erzeugung nicht gebohrter Vias sind in Abb. 2 dargestellt.

Einbeziehung von Build-up-Technologien in CAD-Tools

Die Größenänderung der Vias ist der Hauptgrund, warum die Dichte auf Leiterplatten weiter zunimmt. Für Board-Entwicklungs-Tools bedeutet dies fundamentale Änderungen. Sind sich Entwickler über die Vorteile bewusst, die mit dem Einsatz von Build-up-Technologien einhergehen, müssen sie dementsprechende CAD-Tools verwenden, die es ihnen ermöglichen, von diesen Vorteilen zu profitieren.

Routing-Aspekte

Mit Build-up-Vias lassen sich Probleme wie kalte Lötstellen an Bohrungen vermeiden, da

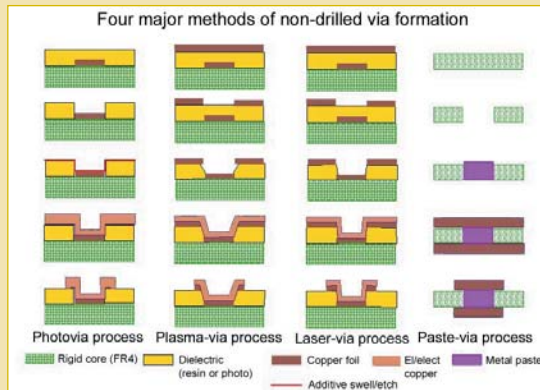


Abb. 2: Vier Möglichkeiten, nicht gebohrte Vias herzustellen

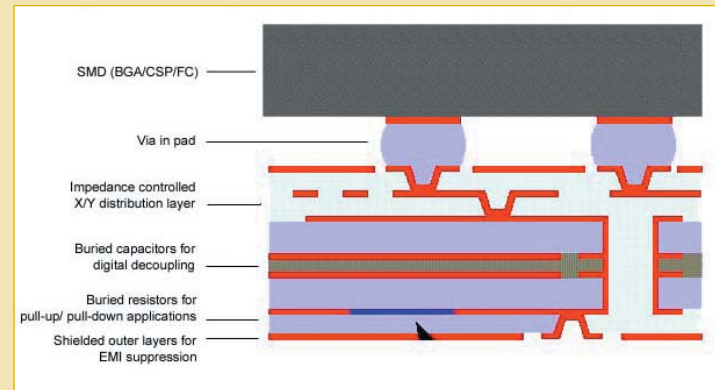


Abb. 3: High Density Build-up-Board (Quelle: IPC)

die Lagendicke gering ist und kleinere Lochdurchmesser möglich sind. Werden verschiedene Build-up-Lagen auf einer Seite des Boards verwendet, müssen EDA-Tools in der Lage sein, abgestufte oder spiralförmige Via-Strukturen zu schaffen, damit ein freier Kanal zu den Core-Lagen möglich ist. Übereinander liegende Build-up-Vias sind dabei zu vermeiden. Router sollten genügend Platzreserve zwischen den Vias eines gemeinsamen Netzwerks belassen. Blind- und Buried-Vias nutzen kleine Pad-Größen, sodass mehr Platz für Leiterbahnen zur Verfügung steht. Da die Vias nicht alle Lagen kreuzen, steht auf den Routing-Lagen sogar noch mehr Platz zur Verfügung. Sollen optimierte Designs entwickelt werden, die eine erheblich geringere Anzahl von Lagen beinhalten, müssen Auto-Router imstande sein, den zusätzlichen freien Platz mit zu verwenden.

Die Gewichtung herkömmlicher Tools ist proportional zur Anzahl der Vias. Bei Build-up-Technologien sieht dies anders aus: Die Gewichtung für ein Via kann genauso viel betragen wie für 10.000 Vias (z.B. beim Plasmaätzen). Build-up-Vias müssen von gebohrten Vias im Core unterschieden werden. Auto-Router sollten anstelle der teuren, größeren, gebohrten Vias dafür Microvias bevorzugen.

Während das Hinzufügen zahlreicher weiterer Vias dazu beiträgt, Routing-Probleme zu den gleichen Herstellungskosten zu lösen, muss die Board-Analyse auf Lage-zu-Lage-Basis ausgeführt werden.

Vermeidet man mehrfache Vias auf anderen Lagen, vereinfacht sich das Routing auf den inneren Lagen. Für die Auto-Routing-Algorithmen ergibt sich dadurch ein einfacheres Channel-Setup. Liegt die Masseleitung möglichst weit oben, kann die Anzahl der Vias reduziert werden. Die Versorgungsleitung bleibt dann im inneren Core mit nur zwei oder drei durchlaufenden Vias. Sie liefern die notwendigen Versorgungsknoten für die Bauteile, erhöhen die Effizienz und den Ertrag und verringern den Stromverbrauch.

Die neuen Design-Flows müssen dem Design auch auf neue Art und Weise durch die unterschiedlichen Lagen eines Build-up-Boards fol-

gen. Mit der Build-up-Technologie ändert sich auch die Vorgehensweise, nach der die Lagen aufgebaut werden. Microvias können nun direkt vom Gehäuse bis zur Signal-Routing-Lage, die sich tief innerhalb der Core-Lage befindet, hindurchreichen. Die Masseleitungen bleiben somit als Hauptanode an der Außenseite, was eine Abschirmung der Hochgeschwindigkeitssignale in den inneren Core-Lagen darstellt. Damit verringern sich Signalintegritäts- und Interferenzprobleme.

Aspekte zur Signalintegrität sind auch anderweitig zu beachten: Da die Bauteile mit immer höheren Geschwindigkeiten betrieben werden, sind lange Leiterbahnen beim Routing nicht länger hinnehmbar. Da Leiterplatten immer kleiner werden und die Länge der Signalfade drastisch kürzer, verschwinden auch die zahlreichen Problematiken der Signalintegrität.

EDA-Tool-Bibliotheken müssen auch die elektrischen Gegebenheiten innerhalb des IC-Gehäuses mit in Betracht ziehen. Dazu gehören z.B. die Versorgungsleitungen sowie die RC-Netzwerk- und Signalcharakteristiken, wie sie zwischen der Verbindung vom Gehäuse-Pad bis zum Die über den Metallträger eines Pin-Grid-Arrays oder über das Multilayer-Substrat eines BGAs auftreten.

Design für die einfache Fertigung

Um die Herstellung einer Leiterplatte zu optimieren, sind neue Modelle für Blind- und Buried-Vias notwendig. Für Standard-Vias existieren zwar bereits etablierte Modelle; für die Vielzahl von Materialien, wie sie für Build-up-Technologien benötigt werden, existieren jedoch noch sehr wenige Modelle. Somit besteht vor allem heute ein Bedarf nach voll charakterisierten Materialien, da diese bei immer höher werdenden Frequenzen zum Einsatz kommen sollen.

Um Probleme bei der Fertigung zu vermeiden, müssen Tools sicherstellen, dass die Microvias versetzt und nicht übereinander angeordnet sind. Die Regeln sind jeweils prozessspezifisch. Außerdem müssen die unterschiedlichen Strom-

belastbarkeiten der herkömmlichen Vias sowie der Microvias in die Designregeln mit einbezogen werden.

Entwickler müssen sich im Klaren sein, dass nicht alle Fertigungsstätten und -prozesse die gleichen Leistungsmerkmale aufweisen. Für einige Hersteller besteht der Bedarf, diese Designkomplexität in die Fertigung mit einzubeziehen, und zwar individuell in den jeweils eigenen Prozess.

Build-up-Technologien bieten auch die Möglichkeit zum Siebdruck anderer Schaltkreis-komponenten. So können z.B. Widerstände durch gedruckte widerstandsfähige Pasten ersetzt werden. Kondensatoren nutzen Build-up-Laminare als Dielektrika, die gedruckt oder im Siebdruckverfahren hergestellt werden können. Dadurch ergibt sich eine geringe Größe, die Bauteilanzahl reduziert sich und die Montage auf die fertige Leiterplatte vereinfacht sich.

Zusammenfassung

Build-up-Technologien bieten für Entwickler zahlreiche Vorteile, wenn sie die ständig zunehmenden Forderungen nach höherer Geschwindigkeit, kleineren Größen und geringeren Kosten erfüllen sollen. Die Technologien müssen aber zuerst ins Bewusstsein der Entwickler rücken; die typischen Vorurteile gegenüber neuen Techniken sind zu überwinden. Dazu gehören auch die Entwicklungswerkzeuge, von denen heute nur einige imstande sind, Build-up-Technologien umfassend zu unterstützen. Zukens ‚Board Integrity Solution‘ bietet eine intuitive, integrierte Entwicklungsumgebung für das Leiterplattendesign mit Build-up-Technologien. Es unterstützt den Anwender von der Schaltungseingabe, dem Floorplanning, Place&Route, der Analyse bis hin zur Fertigung. Entwicklern hilft es, sämtliche Vorteile, die Build-up-Technologien bieten, anzuwenden. Da immer mehr Designs diese Vorzüge erfordern, sind auch weitere Kosteneinsparungen und Leistungsverbesserungen möglich.