

Der Weg zur schnelleren Verifikation

Verifikationsplattform ermöglicht neue Entwicklungsmethoden

Die Achillesferse bei der Chipentwicklung ist und bleibt derzeit die Verifikation des Designs. Bei großen Projekten übersteigt schon heute der Aufwand für die Verifikation im hohen Maße den Designaufwand. Und blickt man weiter voraus, ist davon auszugehen, dass dieser Trend noch weiter anhalten wird. Durch neue Entwicklungsplattformen, soll dieser negativen Entwicklung nun Einhalt geboten werden. HEIKO MAUERSBERGER



Dipl. Ing. Heiko Mauersberger ist einer der Geschäftsführer von ProDesign und ist verantwortlich für die Entwicklung der Chiplit-Produktlinie und für das Design und Support Center in Erfurt.



Abb.1: Um den Verifikationsaufwand reduzieren zu können, benötigt der Markt neue Entwicklungswerkzeuge.

Fragt man ASIC-Designer nach den gravierenden Veränderungen in den letzten Jahren so antworten die meisten, dass die ASICs bei immer komplexer werdenden Funktionen und Gatterzahlen in immer kürze-

rer Zeit fertiggestellt werden müssen. Hinzu kommt ein weiteres Problem: Während eine Abschätzung des für den Entwurfs der ASIC-Funktionen erforderlichen Zeitaufwands relativ gut gelingt, fällt es äußerst schwer, den Verifikationsaufwand zu kalkulieren.

Reduzierung der Verifikationszeit

Die Gründe für die hohen Verifikationszeiten liegen im wesentlichen in den steigenden Komplexitäten der zu entwerfenden ASICs. Viele Funktionen erfordern eine große Anzahl sehr komplexer Testfälle.

Verschärft wird die Situation weil mehr und mehr Schnittstellen implementiert werden, um das ASIC in einem möglichst breiten Anwendungsspektrum einsetzen zu können. Ein Beispiel hierfür sind Prozessoren, welche neben den Standardschnittstellen (Speicher, JTAG, RS232, I2C usw.) immer mehr komplexere Schnittstellen beinhalten (LCD-Display-Interfaces, USB, PCI, Ethernet usw.). Entsprechend viele Simulationsmodelle (C, HDL o.ä.) sind für die Simulation notwendig, mit deren Hilfe die realen Gegebenheiten nachgebildet werden sollen.

Ein weiteres Problem ist die steigende Simulationszeit. So kann sich die Simulationszeit z.B. bei Video- oder komplexen Datenübertragungsschnittstellen schnell auf viele Tage und Wochen aufaddieren. Komplexe Systemfehler können erst nach etlichen Minuten im Echtzeitbetrieb auftreten und lassen sich daher mit einem Simulationsverfahren nicht mehr mit vertretbarem Aufwand identifizieren.

Aufgrund dieser Umstände besteht der Wunsch und die Notwendigkeit mittels Emulation und Rapid Prototyping das zu entwerfende ASIC

mit maximaler Geschwindigkeit in der späteren realen Umgebung zu verifizieren.

Die Vorteile liegen auf der Hand: Die Systemumgebung ist nicht mit Modellen nachgebildet, die in vielen Fällen die Realität nicht zu 100% abdecken würden. Durch die hohe Verarbeitungsgeschwindigkeit können in kurzer Zeit viele Testfälle bearbeitet werden. Einer der größten Vorteile ist jedoch, dass die Funktion des ASICs in dessen Zusammenarbeit in der geplanten Applikation überprüft werden kann (Systemtest). Bezogen auf das Beispiel des Prozessors, können verschiedene LCD-Displays angeschlossen werden, um die korrekte Arbeitsweise des integrierten LCD-Display-Controllers zu verifizieren.

Vereinfachung der Systemverifikation

Durch die gestiegenen Komplexitäten wird es immer schwieriger und zeitaufwendiger ein Multi-Million-Gatter-ASIC auf einer entsprechenden Plattform in Betrieb zu nehmen. Fehlerursachen könnten sowohl in den Teilkomponenten des Designs als auch im Zusammenspiel der Komponenten liegen. Bei der Verifikation dieser Teilkomponenten mit C- oder HDL-Modellen können entsprechende Probleme vorher nicht aufgedeckt werden. Die Ursache der Fehlerfunktionen in diesem Umfeld einzugrenzen, ist häufig nicht trivial und äußerst zeitraubend.

Erst nach der aufwendigen Identifikation des defekten Schaltungsteils, kann und muss dieser korrigiert werden. An dieser Stelle entsteht eine Quelle für weitere Fehler. Es ist darauf zu achten, nicht andere Funktionen durch die Korrektur zu verändern. Meist ist ein erneutes Einarbeiten in die Thematik unumgänglich (gerade wenn der Entwurf dieser Komponente mehrere Monate zurückliegt). Das Risiko, den Terminplan an dieser Stelle der Entwicklung zu sprengen ist entsprechend hoch.

Um dieses Risiko zu entschärfen, verlassen immer mehr Ingenieure den traditionellen Weg und verifizieren Teilkomponenten schon während des Entwurfs mit Hilfe von Emulation und Rapid Prototyping und nicht erst am Ende der Designphase. Entsprechend können die o.g. Vorteile des Tests in realer Hardware und ggf. in realer Umgebung schon zu diesem Zeitpunkt genutzt werden. Aufwendige Simulationsmodelle können durch die entsprechende Hardware ersetzt werden. Es können mehr Testfälle in kürzerer Zeit ausgeführt werden. Der wesentlichste Punkt ist jedoch, dass Fehler in der Komponente, welche sonst erst bei Vorliegen der Hardware gefunden werden, schon zum Zeitpunkt der Implementierung durch den Designern selbst aufgedeckt und behoben werden können. Dementsprechend reduziert sich der Aufwand der Verifikation des Gesamtsystems erheblich, wenn alle in Hardware vorgetesteten Teilkomponenten zusammengefügt werden. ►

Parallelisierung von Entwicklungsschritten

Ist das ASIC-Design einmal in das Prototyping-System übertragen, ergeben sich weitere Vorteile im Projekt. Zum einen kann das noch nicht produzierte ASIC dem Kunden funktionell im Rahmen einer Präsentation vorgestellt werden. Dieser wird in die Lage versetzt, die Funktionen des ASICs zu prüfen, ob sie seinen Erwartungen entsprechen, bevor die Produktion des Chips stattfindet.

Zum anderen können Entwicklungsschritte parallelisiert werden. Die Software (z.B. Gerätetreiber, Anwendersoftware etc.) kann mit Hilfe des Prototypen entwickelt werden, bevor das eigentliche ASIC zur Verfügung steht.

Verifikationsplattformen

Um die Entwicklung komplexer ASICs zu verkürzen und das Risiko von Iterationen zu verringern, wurde die ‚ChipIt‘-Produktfamilie von ProDesign entwickelt, die auf Virtex-II-FPGAs von Xilinx basiert. Die seit einem Jahr im Markt etablierte Plattform ‚ChipIt Gold Edition‘ (12 bis 16 Mio. FPGA-Gatter) bestätigt den Erfolg dieses Konzeptes zur ASIC-Verifikation.

Das Konzept der Produktfamilie unterscheidet sich zu von am Markt angebotenen Lösungen darin, dass die Vorteile der Emulationssysteme und der Rapid Prototyping Boards in einem System zusammengeführt wurden.

ASIC-Designer aus dem High-end-Bereich stellen noch höhere Anforderungen an Verifikationssysteme, was Kapazität, Schnittstellen und Interconnectivity betrifft. Diese hohe Kapazitäten bieten bislang nur mächtige und äußerst teure Emulatoren. Viele Unternehmen sind aber nicht bereit, so hohe Investitionen zu tätigen und suchen nach günstigeren Alternativen. Aus

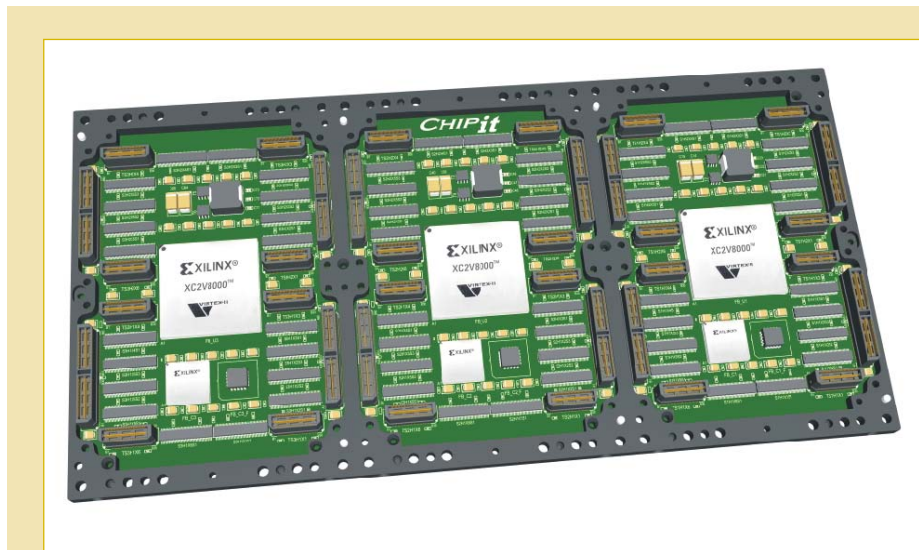


Abb.2: Die FPGAs der ChipIt Platinum Edition können sowohl in Stern- als auch in Dreiecksstruktur per Software miteinander verbunden werden.

diesem Grund wurde von ProDesign eine komplett neue Produktlinie, die ‚ChipIt Platinum Edition‘, entwickelt, um dieses Marktsegment bedienen zu können.

Das Hauptaugenmerk dieser Produktfamilie liegt auf einem kompaktem, modulare Konzept und einer hohen Geschwindigkeit (100 MHz und mehr). Ähnlich der Gold Edition verfolgt auch die Platinum Edition den Weg, das System in den beim Anwender vorhandenen Designflow einzugliedern und nicht mit komplizierten Softwarepaketen einen neuen, parallelen Designflow zu installieren. Dies geschieht durch die Adaption an die gängigsten am Markt verfügbaren Werkzeuge zur Implementierung (Synthese).

Der klare Unterschied zwischen den beiden Produktlinien liegt aber in der Kapazität und Interconnectivity. Während die Gold Edition mit max. 16 Millionen FPGA Gattern ausgestattet ist, kann man bei der skalierbaren Platinum Edition zwischen Varianten von 18 bis maximal

144 Mio. FPGA-Gattern wählen. Die Skalierbarkeit des Systems wird durch die Möglichkeit weitere FPGA-Boards hinzuzufügen erreicht. Ein weiteres Differenzierungsmerkmal dieses Systems ist die programmierbare High-Speed-Interconnectstruktur zwischen den FPGAs. Sobald mehr als zwei FPGAs in einem System benötigt werden, ist eine solche Flexibilität für die Wiederverwendbarkeit in anderen Projekte unumgänglich. So ist es beispielsweise möglich, drei FPGAs sowohl in Stern- als auch Dreiecksstruktur per Software miteinander zu verbinden.

Für die Adaption der Platinum Edition an die Zielumgebung des zu verifizierenden ASICs bzw. zum Einbinden von Schnittstellen und externen Komponenten (Speicher, Prozessoren, Kommunikationsschnittstellen usw.) stehen Steckplätze für Erweiterungskarten mit insgesamt 1920 Ein-/Ausgängen zur Verfügung.

Das bei den ChipIt-Produkten bewährte ‚UMRBus Communication System‘ zum Debuggen und Datenaustausch zwischen dem ASIC-Design und einem Host-System (PC, Workstation) ist ebenfalls implementiert. Darüber hinaus erlaubt die Platinum Edition den Stand-Alone-Betrieb ohne Host und ist wie auch schon die Gold Edition im Aktenkoffer transportierbar. Um für den Anwender die Benutzung dieses System so unkompliziert wie nur möglich zu gestalten, wurde auf eine einfache und übersichtliche Bedienung geachtet. Weiterhin bietet sie diverse Sicherheitsfunktionen, wie Spannungsüberwachung, Temperaturüberwachung und Selbsttestmechanismen. Parallel zu dem Master-System werden preiswerte sogenannte Replicator Boxes angeboten. Diese dienen zur Vervielfältigung des Prototypen. Deren Einsatz ist in den Bereichen der Kundenpräsentation und der parallel laufenden Softwareentwicklung, sowie zum Einsatz in geographisch verteilten Entwicklungsteams zu sehen.

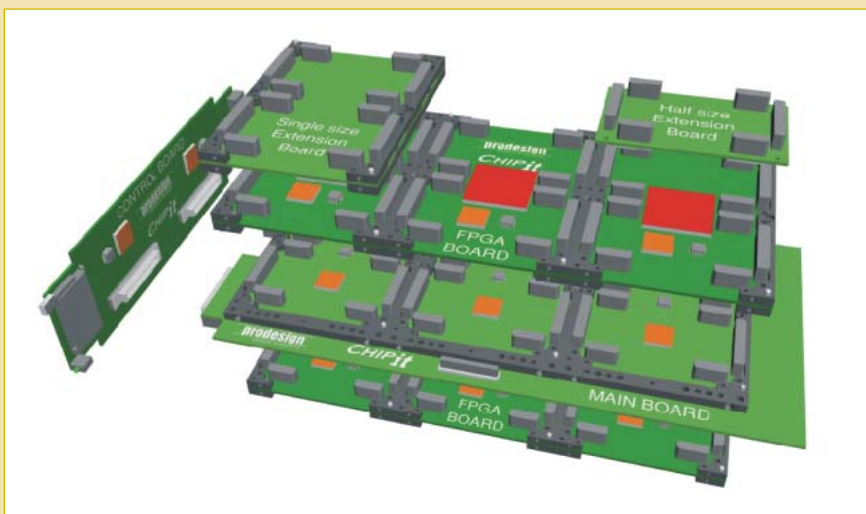


Abb.3: Das modulare Konzept der Platinum Edition ermöglicht eine Skalierbarkeit von 18 bis 144 Mio. FPGA-Gatter und Adaption von zusätzlichen Erweiterungskarten.

Zusammenfassung

Der Markt fordert neue Verifikationsplattformen, welche eine nahtlose Verifikation heterogener Systeme ermöglichen. D.h. der Produktentwickler möchte ein System, mit dem er möglichst früh sein Design in der späteren Applikation testen kann. Das betrifft sowohl den Software-, wie auch den Hardwareentwickler. Jeder sollte schon zu einem sehr frühen

Zeitpunkt der Entwicklung die Möglichkeit haben, sein Design oder Teile des Designs unter realen Bedingungen zu testen. Nur durch diese Methodik, wird sichergestellt, dass frühzeitig Fehler gefunden und beseitigt werden können. Durch die vorzeitige Überprüfung der einzelnen Designteile, kann die abschließende Verifikation des Gesamtdesigns deutlich schneller ablaufen. Die ChipIt Platinum Edition ermöglicht diese Methodik und ist damit für den

Designer ein entscheidendes Hilfsmittel, um die Verifikationszeit drastisch zu verkürzen und gleichzeitig die Qualität des Designs zu erhöhen, weil eine enorme Prüftiefe erreicht wird.

Beitrag als PDF im Internet:

www.publish-industry.net

more @ click DV13251

