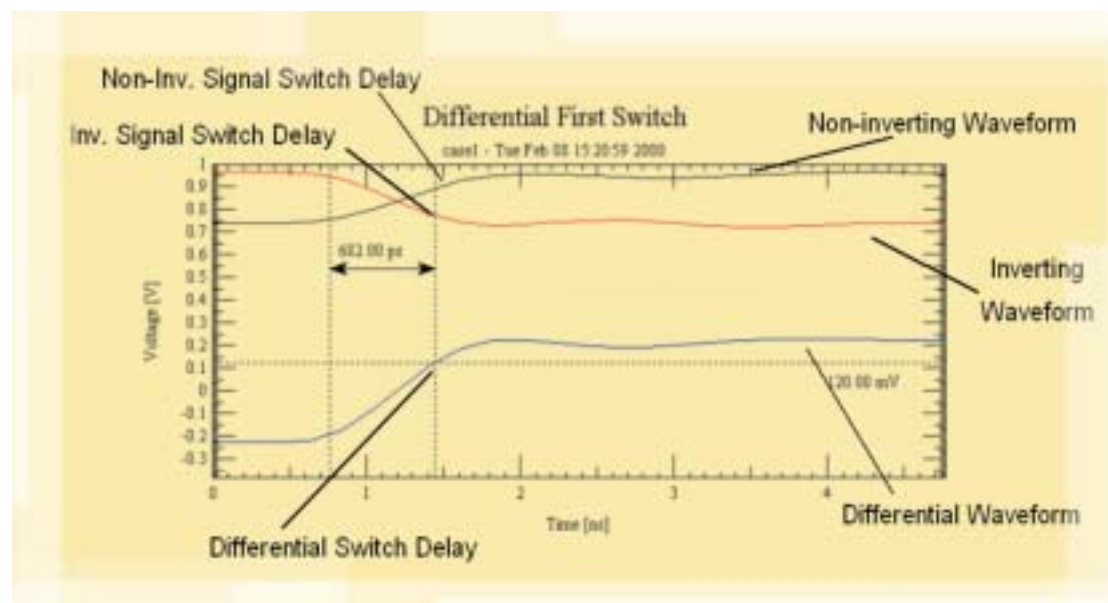


Differentielle Signalführung in PCBs

Neue Designmethode erleichtert die Umsetzung

Besonders in den Bereichen Netzwerkinfrastruktur und Telekommunikation wird verstärkt auf differentielle Signale und Leiterbahnführung gesetzt – eine Technologie, die besonders geeignet ist, Daten in Höchstgeschwindigkeit über vergleichsweise große Entfernungen zu transportieren. Die Technologie differentieller Signalübertragung bietet bedeutende Vorteile gegenüber traditionellen ‚Single-Lines‘: weniger elektromagnetische Emissionen, niedrigere Versorgungsspannung und geringere Empfindlichkeit gegenüber Störungen in der Stromrückführung durch die Masseebene und bezüglich Signalübersprechen. HEIKO DUDEK, DRAGAN TASIC, GARY HINDE



Heiko Dudek, Senior Technical Marketing Manager, Cadence Design Systems

Dragan Tasic, Senior Technical Leader, ProDesign Electronic CAD&Layout GmbH

Gary Hinde, Technical Leader, Cadence Design Systems

Die Einsatzmöglichkeiten einer Datenübertragung mit einem gemeinsamen Taktsignal ist im Wesentlichen durch die Anstiegszeit (bzw. Abfallzeit) und die Leitungslänge begrenzt. Sind diese Grenzen erreicht, kann auf andere Datenübertragungsprotokolle zurückgegriffen werden, wobei die Wahl häufig auf einen Ansatz mit differentiellen Signalen fällt. Die traditionelle Vorgehensweise beim

Entwickeln digitaler Schaltungen steht damit aber wieder vor einem Umbruch.

Der Grad der Komplexität des Design des Gesamtsystems nimmt zu. Es müssen zusätzliche Vorgaben festgelegt und eingehalten werden. Deren Verwaltung stellt eine weitere Anforderung an die Entwicklung.

Damit die Vorteile der differentiellen Busse auch in der Praxis zum Tragen kommen können, müssen Entwickler von Leiterplatten

(PCB) die Signalintegrität entlang der gesamten Signalstrecke von der Treiberschaltung bis zur Empfängerschaltung gewährleisten können. Die Betrachtung muss also die gesamten Signalstrecken und somit alle Übergänge vom Silizium des Treiberbausteins über das Gehäuse, über die Verbindungsleiterbahnen auf der Leiterplatte und wieder zurück über das Gehäuse zum Silizium des Empfängerbausteins einschließen. Dazu ist es in der Regel notwendig, Erfahrungen aus verschiedenen Bereichen eines Entwicklungsteams zu nutzen. Dieser Beitrag stellt eine Designmethode vor, die diesen Prozess beschleunigt und zeigt auf, wie Anbieter von Designsoftware bei der Implementierung eines neuen Entwicklungsprozesses behilflich sein können.

Differentielle Leitungsführung

Bei der Technik differentieller Leitungsführung wird ein und dasselbe Signal – einmal normal (nicht invertiert) und einmal invertiert – über zwei Leiterbahnen transportiert. Das Leitungspaar muss gekoppelt sein, damit sich äußere Einflüsse auf beide Signale gleichartig auswirken. Beide Treiberausgänge senden dabei Signale entgegengesetzter Polarität. Das differen-

tielle Signal wird daraus wie folgt gebildet: $V_{diff} = V_{inv} - V_{noninv}$. Die Differenzbildung der beiden Eingangssignale erfolgt dabei im Empfängerbaustein.

Für die Simulation dieser Signale werden Modelle benötigt. Simulatoren verwenden zwei unterschiedliche Ansätze, differentielle Komponenten zu modellieren: Im Falle von ‚Behavioral‘-Modellen (wie etwa IBIS) sind die beiden Treiber/Empfänger als zwei getrennte I/O-Zellen implementiert und werden auf Bausteinebene (IBIS Device) entsprechend angesteuert. Für differentielle Signale werden die I/O-Modelle als Transistor-Logik verwendet, bei denen es sich um einen Treiber/Empfänger mit komplementären Eingängen/Ausgängen handelt. Alle zur Kontrolle der Signalintegrität relevanten Messungen werden in beiden Fällen am differentiellen Signal durchgeführt.

Vier Schritte zum Erfolg

Ideale physikalische Implementierung

Im ersten Schritt überlegt sich der Entwickler das Prinzip der Datenübertragung für dieses Signal. Er entscheidet sich für eine Art der Terminierung und andere schaltungsrelevanten

Teile. Der erste Schritt beinhaltet also eine Pre-Layout-Analyse (Simulation), um die Designparameter einer idealen physikalischen Implementierung (differentielle Impedanz und differentielle Laufzeiten-verzögerung) zu bestimmen. Dabei ist es zwingend notwendig, eine differentielle (ideale) Übertragungsleitung als eine Einheit betrachten zu können, bei der die Parameter differentielle Impedanz und Laufzeitenverzögerung parametrisiert werden können. Die durchzuführenden Messungen (Simulationen) für die Beurteilung der Signalintegrität hängen dabei vom gewählten Übertragungsprotokoll ab: Flight Times für Common Clock, Skew für Source-Synchron (auch bezeichnet als Clock-Forward) und Augenöffnung für CDR (Clock Data Recovery).

Reale physikalische Implementierung

Da die Signale nicht virtuell übertragen werden, sondern über Leiterbahnen, müssen im zweiten Schritt zusätzlich die physikalischen Gegebenheiten berücksichtigt werden. Dabei müssen nun differentielle Impedanz und Laufzeitenverzögerung in konkrete Werte für Leiterbahnbreite, Abstand und Länge umgesetzt werden – hierzu bietet sich ein Feldberechnungsprogramm an, das (am be-

Anzeige

sten in das Layout oder Signalintegritätssystem eingebettet) unterschiedliche Leiterbahnquerschnitte (Trapezformen, die je nach Herstellungsprozess entstehen können) sowie Oberflächenbeschaffenheit und dielektrisches Verhalten der Isolationsmaterialien berücksichtigen kann.

Worst-Case-Betrachtung

Ein dritter Schritt zum Bestimmen der Implementierungs-Parameter (auch als Designregeln oder Routing-Regeln) ist einzigartig für differentielle Signale. Nachdem die physikalische Umsetzung erfolgt ist, ergibt sich beispielsweise ein idealer Wert für einen Abschlusswiderstand von 101,2345 Ohm. Da solche Werte nicht realistisch sind, müssen jetzt die Auswirkungen der Toleranzen der Bauteile, des Layout- (Vorgaben der Leitungslänge für den Layouter) und Leiterplattenfertigungsprozesses untersucht werden. Der Entwickler kann mit Hilfe von Simulationsprogrammen alle Kombinationen von minimaler und maximaler Toleranz durchspielen und somit den Worst-Case-Fall betrachten und damit sicher stellen, dass die Schaltung bei den gegebenen Toleranzen immer funktioniert. Gegebenenfalls können Toleranzen großzügiger gehandhabt werden, um Kosten zu sparen, oder müssen eingeschränkt werden, damit die Schaltung später auch sicher funktioniert.

Toleranzen in der Leiterbahnbreite und der Abstand der differentiellen Leiterbahnen bestimmen die differentielle Impedanz. Toleranzen beim Längenunterschied der beiden Leitungen, ein Phasenunterschied auf den beiden Leitungen, eine maximale Länge einer Verletzung der Abstandsregel (z.B. beim fan-out) und die Lage zu den Referenzlagen Power und Ground bestimmen die Qualität des Signalverlaufs, also die Signalintegrität. Auch bei den Worst-Case-Kombinationen der Toleranzen muss die gesamte Übertragungstrecke die Anforderungen erfüllen.

Post-Layout-Simulation und Extraktion

Der vierte und letzte Schritt ist die Post-Layout-Verifikation der implementierten Leiterbahnen, Durchkontaktierungen, IC-Gehäuse und Steckverbindungen.

Eine reine Post-Layout Simulation fördert zwar Fehlverhalten zu Tage, gibt aber noch kaum Aufschluss über geeignete Maßnahmen zur Abhilfe. Sogenanntes ‚Debugging‘ hilft hier weiter: Tritt ein Fehler auf, wird aus dem gerouteten Layout eine schematische Extraktion aller beteiligten Leiterelemente einer Verbindung vom Treiber zum Empfänger gewonnen. Anschließend können wieder virtuell schrittweise Veränderungen von Simulationsparametern durchgeführt werden und nach dem Identifizieren der richtigen Lösung diese

Erkenntnisse als neue Vorgaben auf das Design übertragen werden. Ein einfaches Beispiel hierfür ist die Simulation eines Netzes mit und ohne Durchkontaktierungen: Funktioniert es mit z.B. 10 Durchkontaktierungen nicht, treten aber ohne Durchkontaktierungen keine Probleme auf, so muss eine neue Designregel aufgestellt werden, die die maximale Anzahl von Durchkontaktierungen regelt.

Anforderungen an den Designer

Der oben definierte Prozess führt zu einer Änderung der Spielregeln für die Evaluierung und Implementierung des physikalischen Layouts: Neben der Hauptaufgabe des Layouters, eine Hardware zu entwickeln, die die Logik des Designs sowie seine Herstellbarkeit garantiert, müssen nun noch elektrische Designregeln berücksichtigt werden. Um allen Anforderungen gerecht zu werden, muss der PCB-Layouter Design, Herstellbarkeit und Testbarkeit gegeneinander abwägen, um zu einem optimalen Ergebnis zu kommen. Diese Aufgabe gilt es auch weiterhin zu erfüllen, allerdings sind, wie die vorhergehenden Überlegungen gezeigt haben, bei High-Speed-Designs noch einige elektrische Designregeln zusätzlich zu berücksichtigen. Dafür entwickelte spezielle Tools bzw. Funktionen der EDA-Software (wie z.B. SpectraQuest von Cadence, Version 14.2 und 15.0) unterstützen den Designer bei der Umsetzung dieser Aufgaben.

Anforderungen an die EDA-Werkzeuge

Die geschilderten Veränderungen im Designprozess müssen auch die EDA-Anbieter berücksichtigen und dabei nicht nur ihre Produkte im Hinblick auf die neuen Anforderungen überarbeiten. Im Gegensatz zu aktuellen Systemen stellten PCB-Layout-Werkzeuge vor fünf oder sechs Jahren noch eine Reihe von ‚Point-Tools‘ dar, die häufig von unterschiedlichen Mitarbeitern nacheinander verwendet wurden.

Durch die steigende Anzahl der Designregeln und deren komplexen elektrischen Zusammenhänge bei der physikalischen Umsetzung, ist es notwendig, dass diese Anwender mehr über den gesamten Entwicklungsablauf wissen und die Auswirkungen von Vorgaben (Constraints) besser abschätzen können. Zum anderen zwingt die Forderung nach kürzeren Entwicklungszeiten die Entwickler und Layouter dazu, nicht mehr sequenziell, sondern in überlappenden Prozessen zu arbeiten. Wie schon die Designteam, mussten auch die Point-Tools zu einem Design-Flow zusammenwachsen. Nicht genug, dass die Schnittstellen zwischen den Tools fehlerfrei funktionieren, sondern auch eine gemeinsame Datenbasis für

die Regeln ist eine Hauptforderung. Ein Constraint Manager kann dabei den Anwender bei jedem der oben beschriebenen vier Schritte unterstützen, Regeln festzulegen oder später zu verfeinern.

Derartige Werkzeuge funktionieren dann gut, wenn zu jedem Zeitpunkt die Absicht hinter allen Designregeln und Maßnahmen für jeden Anwender bekannt ist. Auch lange nach der Fertigung der Leiterkarte ist es daher wichtig, anhand aussagekräftiger Dokumentation nachvollziehen zu können, welche Regeln verwendet wurden und unter welchen Voraussetzungen diese Regeln entstanden sind. Im Falle eines Re-Designs müssen evtl. andere Mitarbeiter schnell in der Lage sein, kleine Änderungen durchzuführen, ohne die vorgeschriebenen Regeln zu verletzen. In vielen Fällen jedoch ist dem Entwickler zu Beginn des Designs zwar bewusst, dass einzelne Bereiche des Designs besonderer Aufmerksamkeit bedürfen – welche konkreten Maßnahmen aber genau zum Erfolg führen, ist noch unklar. Ein typisches Beispiel hierfür ist die Implementierung differentieller Leiterbahnen: Der gewohnte Ansatz ist, einigen Designregeln wie Gleichlängenvorgaben oder konstanter Leiterbahnabstand und konstante Leiterbahnbreite besondere Aufmerksamkeit zu schenken, ohne sich dabei aber genau über die Toleranzen und deren Auswirkungen auf das Layout im Klaren zu sein.

Zusammenfassung

Wie im Vier-Schritte-Prozess dargestellt, muss früh im Entwicklungszyklus von differentiellen Bussen angesetzt und alle Auswirkungen von Änderungen im Design mit den ursprünglichen Anforderungen verglichen werden. Dies kann als radikale Veränderung gegenüber bisher verwendeten Ansätzen gesehen werden, waren doch traditionsgemäß die Kommunikationskanäle (genauso zwischen Mitarbeitern wie zwischen verschiedenen Software-Tools) nicht besonders stark oder mit anderem Schwerpunkt ausgeprägt. Diese Barriere zu überwinden, ist keine leichte Aufgabe. Zusammenfassend ist festzustellen, dass High-Speed-Technologien neue Ansätze in Hinblick auf die Entwicklungstools, der Designplanung, dem Constraint Management und der Produktrealisierung erzwingen.

Beitrag als PDF im Internet:

