

# Das Gesetz der SoC-Processorskalierung

## Vorteile softwarebasierter Programmierbarkeit von Prozessoren gegenüber anderen Mechanismen

**Wirtschaftlicher Druck wird wesentlich höhere Pegel der Programmierbarkeit erzwingen. Durch die wachsende Leistung sowie die automatische Erzeugung anwendungsspezifischer Prozessoren können Prozessor-Cores viel mehr Aufgabenbereiche in der SoC-Architektur abdecken, von der Hochleistungssteuerung zu datenintensiven Aufgaben, die zuvor nur mit hartverdrahteter Logik umsetzbar waren. Infolge der Systemkomplexität wird softwarebasierte Prozessorprogrammierbarkeit gegenüber anderen Mechanismen zur SoC-Programmierbarkeit den Vorzug erhalten.**

DR. CHRIS ROWEN



Dr. Chris Rowen ist President und CEO von Tensilica

Das Modell der Prozessorskalierung sagt voraus, dass innerhalb von fünfzehn Jahren Single-Chip-Designs mit Tausenden von voll ausgestatteten Prozessoren weit verbreitet sein werden. Außerdem prognostiziert das Modell, dass die Rechenleistung von Mehrprozessor-SoCs (MPSoCs) jährlich um 65% ansteigen wird. Prozessoren, einschließlich anwendungsspezifischer Erweiterungen, werden die der Logik zugeordnete Chipfläche beherrschen, und für Prozessor-RAM gilt dasselbe hinsichtlich der Speicherfläche auf dem Chip. Die zentrale Herausforderung beim SoC-Entwurf wird sich vom Design der Subsysteme, Prozessoren und Logikblöcke zur raschen und zuverlässigen Integration von reichhaltig mit Software ausgestatteten Subsystemen in komplette Hardware/Software-Systeme verschieben.

### Herausforderung des SoC-Entwurfs

In einem konventionellen 0,13- $\mu\text{m}$ -Standardzellen-Foundryprozess liegt die Siliziumdichte üblicherweise bei mehr als 100 k nutzbaren Gattern pro  $\text{mm}^2$ . Folglich kann selbst ein preisgünstiger Chip (50  $\text{mm}^2$  Core-Fläche) heute fünf Millionen Logikgatter aufnehmen. Jedoch ersticken SoC-Designteams fast an der Komplexität dieser Entwürfe mit mehreren Millionen Gattern. Trotz beträchtlicher Verbesserungen bei EDA-Tools konnten derzeitige SoC-Designmethoden die Lücke zwischen Logikkomplexität und Entwicklerproduktivität nicht schließen. Darüber hinaus schießen

die Kosten eines einzigen SoC-Entwurfs fast ungebremst in die Höhe.

Als Reaktion auf die Gelegenheiten, Schwierigkeiten und Kosten der SoC-Entwicklung wenden sich Unternehmen anpassungsfähigeren, anwendungsspezifischen SoCs zu, die für mehrere Produkte und Kunden einsetzbar sind. Die Forderung nach dem richtigen Ausgleich zwischen optimalem Support für den Zielanwendungsbereich und einer breiten Anwendbarkeit über verwandte Kunden und Anwendungen hinweg ist heute zentrales Thema beim Entwurf von Elektroniksystemen.

### Softwareprogrammierbarkeit ist unerlässlich

Diese Designherausforderung misst dem Embedded-Prozessor-Core eine noch zentralere Rolle beim SoC-Entwurf bei. Die Programmierbarkeit in Hochsprachen ermöglicht sowohl eine raschere Entwicklung der Funktionalität als auch eine flinke Anpassungsmöglichkeit an sich ändernde Anforderungen. Datenintensive SoC-Funktionen, insbesondere solche mit der Forderung nach hohem Durchsatz und geringem Energiebedarf, werden normalerweise durch unflexible, hartverdrahtete Logik übernommen. Universelle Embedded-RISC-Cores haben lange Zeit Funktionen mit geringerer Leistung bei der Anwenderschnittstelle, beim Systemmanagement und der Anwendungssteuerung übernommen, um es mit der diesen Funktionen eigenen Komplexität und Vielfalt aufzunehmen. Indessen sieht sich der evolutionäre Weg der universellen Embedded-Prozessoren zwei

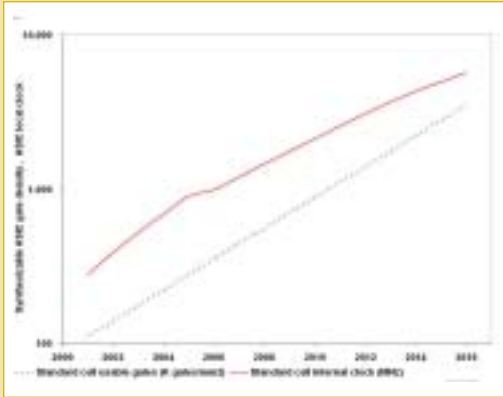


Abb. 1: Prognose zur Entwicklung der typischen Gate-Dichte und der Worst-Case-Taktgeschwindigkeit für automatische Standardzellensynthese und Logiklayout

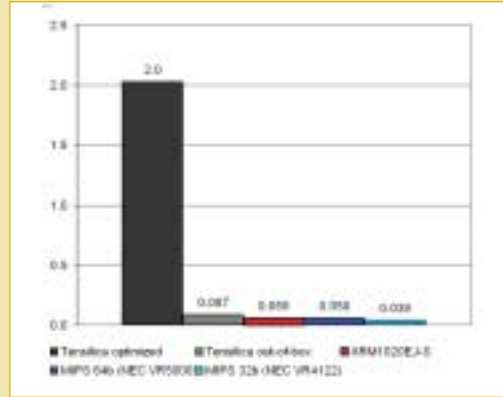


Abb. 2: EEMBC-Consumer-Benchmark-Leistung pro MHz für Tensilicas Xtensa-Architektur (T1050); Grundversion von Xtensa [8], ARM (64-Bit) und MIPS (64- und 32-Bit)

Fallen gegenüber. Erstens entwickeln sich diese Prozessoren nur langsam weiter. Die Hardware- und Softwaretools für neue Varianten dieser universellen Prozessoren werden manuell entwickelt und verstärken dadurch die ‚Einheitsgrößen‘-Natur dieser Architekturen. Prozessorarchitekten lassen Merkmale wegfällen, die nur für spezifische Anwendungen von Bedeutung sind, und doch belasten sie häufig jede Implementierung mit Fremdmerkmalen, die nicht von allen und jedem benötigt werden. Die hohen Kosten und der hohe Aufwand bei der Entwicklung neuer Prozessorausführungen und Softwareumgebungen verbietet eine genauere Abstimmung der Prozessorarchitektur auf die Zielanwendung. Zweitens ermöglicht und fordert die Skalierung von Halbleiterbausteinen und die Komplexität von Endprodukten die Integration zahlreicher unterschiedlicher Subsysteme auf einem SoC. Die SoCs der nächsten Generation werden oft beträchtliche Steuer-, Signal-, Media-, Verschlüsselungs- und Netzwerkverarbeitungs-Subsysteme in sich verschmelzen. Die größten Designherausforderungen liegen nicht in individuellen Subsystemimplementierungen, sondern im Entwurf von Systemen, die sämtliche gewünschten Funktionen richtig und optimal ausführen. Ohne vereinheitlichte Architekturen und Tools für alle Prozessoren auf einem SoC jedoch, ohne einfache Mehrprozessorsimulation und ohne universelle Softwareentwicklungstools wird die SoC-Systemintegration nicht richtig vorankommen.

## Prozessorskaliermodell

Die International Technology Roadmap for Semiconductors (ITRS) stellt die übereinstimmende Hauptbetrachtung der Halbleiterindustrie hinsichtlich der Integrationsdichte sowie der Leistung der Siliziumbausteine für die nächsten fünfzehn Jahre dar. Im Rückblick hat ihr Einsatz als Ziel für die Technologieplanung Moore's Law vorangetrieben. Die ständige Expansion der

zugrunde liegenden Halbleitertechnologie steht in krassem Gegensatz zu den projizierten schwindenden Erträgen bei der Verbesserung von universellen Hochleistungsprozessorarchitekturen. Das Erbe der Computersystemtechnologie und die Leistungssteigerung über die vergangenen 15 Jahre lässt sich nicht einfach auf die nächsten 15 Jahre Embedded-SoCs anwenden. Die ITRS-Roadmap dient als die Grundlage eines weiteren Bündels von Vorhersagen über die Rolle von Prozessoren im SoC-Design. Der vorliegende Beitrag konzentriert sich auf die Auswirkungen dieses erweiterten Modells der Prozessorskalierung. Dieses Modell bietet eine entscheidende Bestätigung, dass das Wachstum der Dichte auf Transistorebene (wie von Moore's Gesetz vorhergesagt) effektiv ausgenutzt werden kann, um fortwährende Verbesserungen bei Leistung, Wirkungsgrad und Flexibilität elektronischer Produkte zu bieten.

Das Modell baut auf den folgenden erwarteten Überhängen auf:

### Skalierung auf Gatterebene

Geringe Bausteinabmessungen und zunehmende Integrationsdichte bieten die technischen Voraussetzungen und die wirtschaftliche Motivation für eine rasche Integration elektronischer Systemmerkmale auf SoC-Bausteine. Über die nächsten fünfzehn Jahre, in denen die typische Komplexität von in großen Mengen hergestellten SoC-Bausteinen von ein paar wenigen auf 500 Mio. Gatter ansteigt, werden technische und wirtschaftliche Faktoren Änderungen in der Struktur von SoC-Designs erzwingen (Abb. 1).

### Obligatorische Programmierbarkeit

Steigende SoC-Entwurfkosten werden die Aufnahme der Programmierbarkeit in eine größere Zahl von SoC-Funktionen beschleunigen, um sowohl die Entwicklungsausgaben zu begrenzen als auch das potenzielle Fertigungsvolumen zu erhöhen. Über einen höheren Grad der Programmierbarkeit kann ein IC den Anforderungen

einer größeren Produktpalette genügen, und es lassen sich Entwurfsfehler rasch und kostengünstig per Software beheben. Forderungen des Endprodukts nach erhöhter funktionaler Komplexität geben der softwarebasierten Programmierbarkeit von Prozessoren den Vorzug gegenüber anderen Mechanismen zur Konfigurierung und zur Programmierung. Prozessorbasierte Abarbeitung von Software ist jedoch nicht die einzige Form von Programmierbarkeit, die dazu bestimmt ist, eine Rolle im SoC-Design zu spielen. Darüber hinaus werden Blöcke von FPGA-Logik, abgeleitet von standardmäßigen programmierbaren Logikbausteinen, auftauchen, auch wenn Einschränkungen im Programmiermodell (eine Hardwarebeschreibungssprache statt einer Programmiersprache hoher Ebene) und im Schaltungswirkungsgrad den FPGA-Einsatz vermutlich auf programmierbare Schnittstellen und spezielle Rechenstrukturen beschränken werden. Heute leidet FPGA-basierte Logik etwa unter einem 5-fachen Nachteil bei der Taktgeschwindigkeit sowie einem mehr als 10-fachen Nachteil bei der Dichte im Vergleich zu Standardzellenlogik in derselben IC-Prozesstechnologie. Kontinuierliche Weiterentwicklung der Strukturweiten von heute 130 nm auf rund 22 nm im Jahre 2016, wie in der ITRS-Roadmap prognostiziert, trägt wegen der hohen Empfindlichkeit von FPGA-Architekturen gegenüber Leitungsverzögerungen nicht dazu bei, diese Lücke zu schließen (sie kann sich in Wirklichkeit sogar noch vergrößern).

## Maßgeschneiderte Prozessoren

Infolge der bequemen Erzeugung maßgeschneiderter anwendungsspezifischer Prozessoren werden die Prozessoren erstmals in die Lage versetzt, hartverdrahtete Logikblöcke effizient zu ersetzen. Abbildung 2 zeigt die Leistungsauswirkungen beim Maßschneiden des Prozessors mit einem anwendungsspezifischen Befehlssatz und zeigt die EEMBC Consumer Benchmark-Leistung. Der auf die Anwendung zugeschnittene Prozessor ist bis 50-mal schneller. Jedoch reicht die Leistung allein nicht für einen breiten Einsatz von applikationsspezifischen Prozessoren durch SoC-Architekten aus. Zwei Charakteristika sind erforderlich:

- ▶ Die Prozessorarchitektur muss äußerst anpassungsfähig sein, um den genauen Befehlssatzanforderungen der Anwendungen zu genügen.
  - ▶ Die Hardware und die Software müssen nahtlos zusammen generiert werden, ohne dass spezielle Prozessorhardware- oder Softwarekenntnisse erforderlich wären und ohne das Verifikationsrisiko zu erhöhen.
- Darüber hinaus verspricht die vollautomatische Erzeugung neuer Prozessoren vom Anwendungsquellcode sowohl eine wesentliche Minderung des Aufwands und der Qualifikation als auch eine beträchtliche Erhöhung der Optimalität generierter Prozessorarchitekturen.

## Parallelität in Anwendungen

Durch die zunehmende interne Parallelität bei Systemapplikationen sowie durch verbesserte Methoden zum Einsatz dieser Parallelität wird der massive Einsatz kleiner, applikationsspezifischer Prozessor-Cores zur natürlichen Grundlage eines fortschrittlichen SoC-Designs. Wall und Wills zeigen eine interne Parallelität, die bis zu Hunderten von Operationen pro Zyklus reicht, für individuelle, datenintensive Rechenprozesse – doch sind beträchtliche Verbesserungen bei Algorithmen und Architektur erforderlich, um dieses Potenzial voll auszunutzen. Glücklicherweise nimmt mit der Integration noch unterschiedlicherer Funktionen auf den SoCs und mit zunehmender Datenstromauflösung auch die nutzbare Parallelität zu. Die Performance von vielen Anwendungen wird lediglich durch die Fähigkeit begrenzt, viele Prozessoren auf einem Baustein mit einer Inter-Prozessor-Kommunikation entsprechend hoher Bandbreite und niedriger Latenzzeit zu integrieren. Das Modell der Prozessorskalierung sagt voraus, dass kleine, erweiterte Prozessoren in hoher Zahl verwendet werden, wobei ein führendes Design Hunderte oder Tausende von kommunizierenden Cores enthalten kann. Dutzende von datenparallelen SIMD-LIW-Cores (Single-Instruction-Multiple-Data-Long-Instruction Word-Cores) hoher Leistung sind pro Chip einsetzbar. Abbildung 3 zeigt das Modell für eine Chipfläche von 140 mm<sup>2</sup>.

## Gesamtrechenleistung mehrerer Prozessoren

SoC-Architekten werden Parallelität sowohl auf Befehls- als auch auf Task-Ebene einsetzen. Anwendungsspezifische Prozessorarchitekturen werden mit Hilfe von Parallelität auf Befehlsebene durch Vektor- (SIMD-) und LIW-Techniken den Durchsatz sowie den Wirkungsgrad innerhalb eines einzigen Algorithmus dramatisch erhöhen. Mehrere Prozessoren nutzen natürlich die Parallelität auf Task-Ebene aus. Mit Hilfe integrierter Entwicklungstools und Prozessorgeneratoren werden Architekten das Spektrum individueller Prozessorerweiterungen von einfachen, verbesserten RISC-Prozessoren zu ‚fetten‘, LIW-Vektor-Architekturen untersuchen können. Sie werden darüber hinaus in der Lage sein, Systeme mit einer großen Bandbreite in Bezug auf die Prozessoranzahl und die Topologie zu erforschen. Die Modelle für große Mengen einfacherer Prozessoren und kleinere Zahlen komplexerer Prozessoren zeigen ähnliche Aussagen hinsichtlich des Gesamtdurchsatzes. Der Gesamt-Performance-Durchsatz ist in Abb. 4 dargestellt (unter der Annahme von 140 mm<sup>2</sup> Chipfläche und geringfügiger Erweiterungen der Prozessorarchitektur). Im Falle von sowohl kleineren, einfach erweiterten Prozessoren als auch ‚fetteren‘, datenparallelen Prozessoren sind die Wachstumsraten (65 Prozent pro Jahr) und

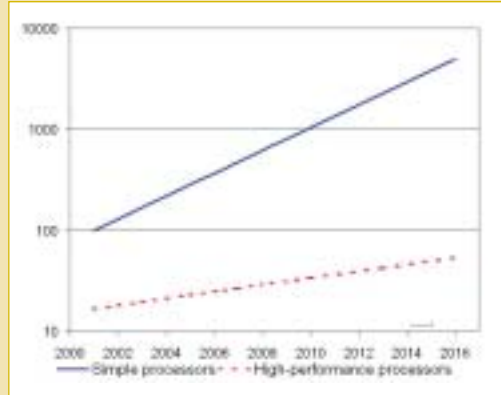


Abb. 3: Zahl der Prozessoren pro Chip (Prognose) bei einer Chipfläche von 140 mm<sup>2</sup>

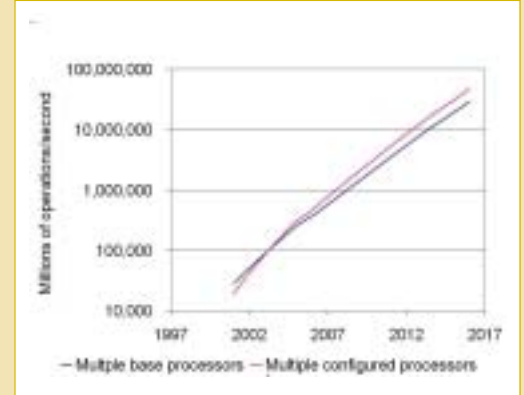


Abb. 4: Gesamtrechenleistung bei Verwendung mehrerer einfacher bzw. komplexer Prozessoren auf einem Chip

die absolute Leistung (1013 Operationen pro Sekunde) gleich.

## Ein neuer Ansatz für den SoC-Entwurf

Ein grundsätzlich neuer Weg zur Beschleunigung der Entwicklung von Mehrfunktions-SoCs mit vielen Millionen Gattern ist im Entstehen. Erstens ersetzen erweiterbare Prozessoren sowohl herkömmliche Embedded-Prozessorkerne als auch hartverdrahtete Logikfunktionen, die auf RTL-Ebene entwickelt werden, um die Entwurfszeit zu beschleunigen und volle Programmierbarkeit zu bringen. Softwareentwicklungstools, Simulationsmodelle und optimiertes Hardware-Design müssen aus einer Single-Source-Darstellung generiert werden, um die Entwicklung zu beschleunigen und Vollständigkeit und Richtigkeit zu gewährleisten. Zweitens sind diese anwendungsspezifischen Prozessoren kundenspezifisch ausgelegt, um Funktionen nahezu so effizient ablaufen zu lassen wie die rigiden RTL-Logikblöcke, die sie ersetzen. Durch hohe Leistung und einfache Anpassung in datenintensiven Applikationen können diese maßgeschneiderten Prozessoren eine breitere Rolle als Grundstruktur für das SoC-Design spielen. Diese facettenreiche Rolle der Prozessoren bringt sowohl für Steuer- als auch für Datenfunktionen eine vollständigere und universelle Programmierbarkeit mit sich. Historisch beruhten die Hardware- und die Software-Tasks jeweils auf unterschiedlichen Verbindungen hoch spezialisierter Entwurfserfahrungen. Durch die Unterschiedlichkeit der Qualifikationen und die Herausforderung der Koordination wurde der SoC-Entwurf immer teurer, riskanter und langsamer. Durch die Vereinigung der SoC-Designmethodik rund um Mehrprozessor-Cores können Systempartitionierung, Subsystemdesign und Hardware/Softwareintegration rascher durchgeführt werden. Auf diese Weise entstanden Plattformen mit besserer Wiederverwendbarkeit und höherer Kapitalrendite. Prozessorbasiertes SoC-Design nutzt die wach-

sende Fülle von Transistoren, die den Ingenieuren zur Verfügung steht. Die Spezifikation von Funktionen auf der Ebene von Software-Tasks erfolgt normalerweise viel einfacher und schneller als der Entwurf gleichwertiger Hardware-Logikfunktionen; deshalb birgt dieser softwarezentrierte Lösungsansatz das Potenzial für eine beträchtlich höhere Produktivität der Entwickler. Außerdem behält der Einsatz von anwendungsspezifischen Prozessoren die Vorteile der Softwaremethodik bei, jedoch können die Prozessoren viele der datenintensiven Rechenprozesse übernehmen, die zuvor nur in Hardwarelogik umsetzbar waren.

## Das Gesetz der SoC-Prozessorskalierung

Diese Trends lassen sich als quantitative Vorhersage für das digitale Systemdesign zusammenfassen – als ein ‚Gesetz der SoC-Prozessor-Skalierung‘:

- ▶ Teil 1: Das softwarezentrische Mehrprozessor-SoC-Design wird zu einer Standardentwurfstechnologie werden, wobei die typische Anzahl von Prozessoren auf dem Chip um 30 % pro Jahr zunimmt und bis 2015 in Tausende von Prozessoren gehen wird.
- ▶ Teil 2: Die Gesamt-Rechenleistung eines typischen prozessorbasierten SoCs wird mit 65 % pro Jahr wachsen und bis zum Jahre 2010 die Zahl von 10 Trillionen Operationen pro Sekunde erreichen.

Dieses Modell der Prozessorskalierung ist Grundlage einer konkreten Vision einer fortschrittlichen SoC-Architektur, bei der sich das typische Design aus einer großen Zahl von Prozessoren zusammensetzt, die in einer ungeheuren Vielfalt von Rollen eingesetzt werden.

Beitrag als PDF im Internet:

www.publish-industry.net  
more @ click DV63254

