

SERDES der nächsten Generation

Die Lösung des Verbindungsproblems

Die laufende Abnahme in der Größe von Halbleiterstrukturen ermöglichte immer größere Transistordichten auf dem Silizium. Mehrere hundert Millionen Transistoren können heute auf einem Chip arbeiten, berechnen, multiplizieren und Daten an andere Teile des Chips schicken. Doch diese gewaltige Steigerung der Verarbeitungskapazität ist auf effiziente Kommunikation innerhalb und außerhalb des Chips angewiesen. Der traditionelle Ansatz besteht aus Parallelbusstrukturen, die sich im Laufe der Zeit von vier bis auf 32 Bits und jetzt auf eine Breite von 64 Bits weiterentwickelt haben. Doch diese Strukturen stoßen allmählich an die physikalischen Grenzen von Leiterplattenlayout und Backplanemöglichkeiten. Es liegt daher auf der Hand, dass eine andere Lösung ins Spiel gebracht werden muss. BERNIE PERRIN



BERNIE PERRIN, Marketingleiter Europa, Lattice Semiconductor

Eine zunehmend attraktive Alternative zum Parallelbus besteht in einer als SERDES (kurz für SERIALiser/ DESerialiser) bekannten Technik. Dabei geht es um die Konvertierung von Busstrukturen und den von ihnen übertragenen Daten in serielle Datenströme. Nach der Konvertierung können sie direkt an ihre Bestimmungsorte befördert und dort wieder in ein Parallelformat deserialisiert werden.

Doch es gibt nichts umsonst, und um Daten mit der gleichen Geschwindigkeit zu übertragen wie ein Parallelbus, muss die SERDES-Funktion um einen Multiplikationsfaktor schneller arbeiten, der von der ursprünglichen Busbreite bestimmt wird. Eine so hohe serielle Datenrate bedeutet aber, dass die Übertragungseigenschaften der Verbindungsleitung sich gravierend auf die Qualität und Integrität der Signale auswirken. Das gilt insbesondere für Backplane-Designs, in denen die Signale Distanzen von bis zu einem Meter quer durch den Geräteschrank zurückzulegen haben. Im Wesentlichen ist die Backplane die physikalische Verbindungsstelle, an der alle elektrischen Baugruppen eines Systems zusammenlaufen. Komplexe Systeme sind darauf angewiesen, dass die Drähte, Leiterbahnen und Steckverbindungen der Backplane große Datenmengen bei hohen Geschwindigkeiten bewältigen. Die Datenü-

bermittlung zwischen den verschiedenen Backplane-Baugruppen hängt von inhärenten elektrischen Eigenschaften ab wie Impedanz, Kapazität und Induktivität, die von Verbindungen, Leiterbahnen, Durchgangsleitungen und Abschlusswiderständen ausgehen.

Es ist von größter Bedeutung, dass all diese Faktoren im System- und Schaltungsdesign berücksichtigt werden. Wie sorgfältig der Entwicklungsingenieur in der Phase des Schaltungsdesigns auch vorgegangen ist – ein kritischer Aspekt liegt außerhalb seiner Kontrolle, nämlich Sender und Empfänger an den Endpunkten der Verbindungsleitung. Vor allem muss der sendende Baustein dazu in der Lage sein, die Ansteuerungsleistung für die erforderliche Entfernung aufzubringen und der für die Verbindungsleitung charakteristischen Impedanz zu entsprechen.

Vielen moderne integrierte Schaltungen werden mit 0,18-Mikron-Prozessen und darunter produziert und weisen geringere Betriebsspannungen auf. Dadurch werden Rauschstörungen immer mehr zu einem Problem. Rasch werden daher insbesondere Differenzsignalgabe und LVDS (Low Voltage Differential Signaling) zur Norm. Dies in Verbindung mit CML (Current Mode Logic) sorgt für die Schnittstellensignale auf physikalischer Ebene. Doch da diese Schal-

tungstechniken auf Analog- und eher traditionellen Digitaldesignmethoden beruhen, werden Layout und Packaging besonders problematisch. Die typischen Systemvorteile von Differenzialsignalverbindungsschemata sind in allen Bereichen des Elektronikentwurfs bekannt. Eine besonders große Rolle spielen diese Vorzüge in Hardware mit hoher Bandbreite und hoher Packungsdichte, für die Datenverbindungen mit sehr kleiner Fehlerrate erforderlich sind. Differenzialsignale bieten die so wichtige Immunität gegenüber elektrischem Gleichtaktrauschen, das in signifikanten Pegeln bei den meisten Applikationssystemen auftritt. Durch Differenzialsignalgabe kann man beispielsweise das klassische Rauschproblem des Masse-Prell-Effekts vermeiden, das bei vielen ICs hoher Dichte mit unsymmetrischen Schnittstellen vorkommt. Sie bewirkt auch größere Rauschabstände, was bei digitalen Datenleitungen zu kleineren Bitfehlerraten führt. Die Übertragungsgeschwindigkeit von SERDES-Bausteinen reicht von unter 1 Gbit/s bis zu 10 Gbit/s bei unabhängigen Transceivern. Die SERDES-Technologie ist mittlerweile in eine ganze Reihe feldprogrammierbarer Systemchips

(FPSCs) von Lattice Semiconductor eingebaut. Es handelt sich dabei um eine Kombination aus FPGA-Technologie, eingebetteten Cores und SERDES. Der Vorteil dabei besteht darin, dass der FPGA-Teil des Bausteins verwendet werden kann, um die Schnittstelle zum Rest des Systems auf effiziente Weise aufgabenspezifisch anzupassen. Zusätzlich können Cores als Teil des Bausteins für Funktionen wie Taktdatenrückgewinnung und für spezifische Übertragungsprotokolle eingebettet werden. Eine verbreitete Fehlvorstellung besteht darin, dass alle SERDES-Sender und -Empfänger ‚gleich geschaffen‘ seien. Das ist nicht der Fall. Entwicklungsingenieure tun daher gut daran, bei der Auswahl einer SERDES-Komponente Vergleichstests vorzunehmen. Zu diesem Zweck stellt Lattice verschiedene Evaluierungsplatinen bereit, mit denen Techniker die Produkte vor dem Kauf erst einmal gründlich durchtesten können. Layoutentscheidungen sind entscheidend für gute Signalintegrität. Der einzig sinnvolle Weg, dies zu prüfen, besteht im Einsatz eines Datenanalysators mit einer bekannten Signalquelle. Die Einspeisung eines Signals in ein bekanntes

Referenz-Layout und der Vergleich des resultierenden Signals mit dem des eigenen Entwurfs kann Stunden an Fehlersuche einsparen.

Anschließend bestätigt dann die Analyse des Augendiagramms, ob der Entwurf die Zielvorgaben erfüllt. Wieder stehen Evaluierungsplatinen von Lattice zur Verfügung, um das Arbeitsverhalten zu prüfen.

Fazit: Serielle High-Speed-Busstrukturen sind der einzige Weg, auf dem die derzeitigen Verbindungsprobleme auf vorhersehbare Zeit gelöst werden können. Lattice hat sich der Entwicklung der SERDES-Technologie verschrieben und investiert weiter in Produktinnovationen.

SERDES der nächsten Generation werden mit noch höheren Geschwindigkeiten arbeiten und es den Systemingenieuren ermöglichen, mit den wachsenden Systembusanforderungen Schritt zu halten.

Beitrag als PDF per ‚more@click‘:

