

Debugging von SPI-4.2-Bussystemen

Überlegungen zum Design und Test von SPI-4.2-Systemen

Die Vorteile der durch SPI-4.2 ermöglichten quellsynchronen LVDS-Signalisierung (Reduzierung der Pin-Zahl, des Übersprechens sowie des Stromverbrauchs pro Bandbreite) machen diesen Bus zu einer beliebten Wahl der Designer. Beim Testen und Debugging solcher Systeme treten jedoch Probleme auf. Der Beitrag beschreibt einige neue Messverfahren und wie diese Verfahren die Zeit bei der Fehlersuche von SPI-4.2-Prototypen reduzieren können.

B.05

Vor kurzem wurde der Bus auf POS-PHY Level 4 vom Optical Internetworking Forum als Standardschnittstelle zwischen 10-Gbit/s-PHY-Bauteilen und Komponenten des Traffic-Management wie Netzwerkprozessoren übernommen. Dieser Bus mit der neuen Bezeichnung SPI-4.2 (für System Packet Interface Level 4 Phase 2) wird in 10-Gigabit-Ethernet-Designs ebenso häufig integriert wie in OC-192 Packet-over-SONET- und ATM-Applikationen.

Zusätzlich untersucht das Network Processing Forum die Verwendung von SPI-4.2 als Schnittstelle zwischen Leitungskarte und Switched Fabric für OC-192. Die Vorteile der durch SPI-4.2 ermöglichten quellsynchronen LVDS-Signalisierung (Reduzierung der Pin-Zahl, des Übersprechens sowie des Stromverbrauchs pro Bandbreite) der Designer. Beim Testen und Debugging solcher Systeme treten jedoch Probleme auf. Kapazitive Kopplung sowie andere Auswirkungen der Übertragungsleitungen erschweren die Signalabtastung für die Logikanalyse. Darüber hinaus wird durch SPI-4.2 auch ein Paketverkehr übertragen, jedoch oft über Protokolle, die nicht dem Standard entsprechen. Die messtechnischen Anforderungen reichen von Signalintegrität und Jitteranalyse bis zur Analyse von Mehrschichtprotokollen, aber auch diese

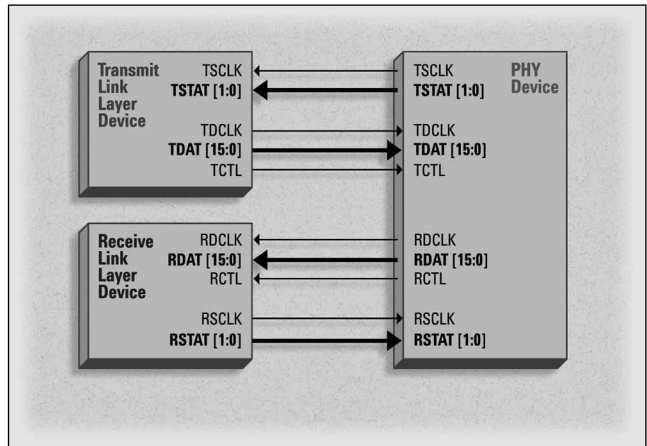


Abb. 1:
Diagramm eines SPI-4.2-Busses

Art der Testverbindung, die bei einem Protokollanalysator, nicht üblich ist.

Übersicht über SPI-4.2

Abbildung 1 zeigt das Blockschaltbild für einen SPI-4.2-Bus. Ein bidirektionaler SPI-4.2-Bus besteht aus zwei unidirektionalen quellsynchronen Links, wobei jeder Link 18 Bit (16 Datenbits, 1Bit mit Steuerungsinformationen und 1 Bit für den Takt) überträgt. Die Taktfrequenz des Busses beträgt bis zu 416 MHz, wobei sowohl an der positiven als auch an der negativen Flanke Daten eingelesen werden, so dass auf jedem Kanal 832 MBit/s gesendet werden können. Über einen einzigen SPI-4.2-Bus kann eine Datenmenge von bis zu 10 GBit/s übertragen werden. Diese Bandbreite kann für einen OC-192-Port genutzt oder auf 256 Ports aufgeteilt werden. Die Auswahl des Ports sowie weitere Informationen zur Steuerung (wie Paketstart, Paketende, Portnummer und diagonale DIP4-Parität) werden über den Datenbus übertragen, wenn das Steuerungsbit bestätigt wird. Das System der DIP-4-Parität gewährleistet

Fehlererkennung auf Sub-Paket-Ebene, während die Frame-Prüfsummen (CRC-Codes) eine Fehlererkennung für das gesamte Paket bewirken. Sendet man die Steuerungsinformationen über den Datenbus, wird das als ‚Signalisierung im Nutzband‘ bezeichnet. Die Pin-Zahl des Busses kann dadurch reduziert werden. Zur Übertragung der Pakete mit voller Geschwindigkeit muss der Bustakt etwas über 622 MBit/s (entspricht 10 GBit/s geteilt durch 16) betragen, um die durch die Steuerungsinformation verursachten Overhead-Bytes aufzunehmen. Zahlreiche praktische Implementierungen operieren mit Übertragungsraten zwischen 630 und 700 MBit/s pro Kanal.

Zusätzlich zu den Datenpfadsignalen verfügt jeder unidirektionale Link über zwei FIFO-Statuskanäle, die in ihrem eigenen Taktbereich operieren. Diese Kanäle zeigen dem Sender an, wie viel Platz dem Empfänger für die Speicherung der eingehenden Daten zur Verfügung steht. Die für den FIFO-Status verwendete Taktfrequenz entspricht normalerweise einem Viertel der Geschwindigkeit des Datenbusses und nutzt nur die positive Flanke. Somit beträgt die Datenübertragungsrate

► Autor
SCOTT FERGUSON ist als Entwickler von Software zur Logikanalyse für Agilent Technologies tätig.
Agilent Technologies GmbH;
Herrenberger Str. 130, D-71034 Böblingen
Fon: 01805/24-6333, Fax: 01805/24-6336
E-Mail:
contactcenter_germany@agilent.com

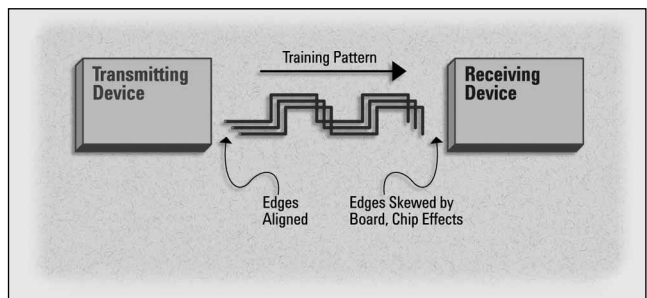


Abb. 2:
Lernprozess Link

auf den Statusleitungen 1/8 der Datenbusrate. Die für SPI-4.2 verwendete quellensynchrone Taktfrequenz ermöglicht kleinere für Daten gültige Fenster (und somit höhere Datenraten), stellt uns aber gleichzeitig vor neue Herausforderungen. Solange die PCB-Signale nicht perfekt angepasst werden, variieren die für Daten gültigen Fenster (oder Setup- und Hold-Fenster) zwischen den Kanälen. Diese Instabilität resultiert aus der durch unterschiedliche Laufzeitverzögerungen der Signale. Wie auch für zahlreiche andere quellensynchrone Hochgeschwindigkeitsstandards wird bei SPI-4.2 ein Lernprozess-Bitmuster verwendet, das diese Laufzeitverzögerung anpassen soll. Beim Senden eines Lernprozess-bitmusters (im Wesentlichen ein Bitmuster abwechselnder Einsen und Nullen mit geringer Übertragungsgeschwindigkeit) sind die Flanken der Übertragungssignale auf sämtlichen Buskanälen des Empfängers zu finden. Durch die Anpassung der Verzögerungen werden die Flanken angeglichen. Abbildung 2 zeigt diesen Lernprozess Link.

Adaptieren von Hochgeschwindigkeits-LVDS-Signalen

Die wichtigste Voraussetzung für die Fehlersuche an SPI-4.2 Bussen ist das zuverlässige adaptieren. Ein Signal muss so adaptiert werden, ohne die Qualität des Zielobjekts zu beeinträchtigen, bevor man das Problem bei einer Protokollverletzung vermutet. Höhere Geschwindigkeiten und niedrigere Spannungen bedeuten kleinere Signalabstände, verstärkte Anfälligkeit für Rauschen und zunehmende Probleme durch kapazitive Kopplung. Glücklicherweise konnten dank der Neuentwicklungen auf dem Gebiet der Logikanalysatoren und Kontaktierungssysteme diese Probleme bewältigt werden. Tests müssen jedoch sorgfältig geplant werden. Für das Layout der Leiterplatte sollten folgende Punkte berücksichtigt werden:

- ▶ Jede Kontaktierung verstärkt die Kapazität der Leiterbahn. Das empfohlene Kontaktierungssystem von Agilent Technologies fügt nur 1,5 pF pro Kanal hinzu.
- ▶ Die neueste oberflächenmontierte Steckverbindung von Samtec erfordert keine Durchkontaktierungen, und die Leiterbahnen können zwischen den Anschlüssen der Steckverbindung des Verbinders abgeleitet werden, um die Auswirkungen der Anschlüsse so gering wie möglich zu halten.
- ▶ Um die kapazitive Kopplung zwischen den Kanälen der Steckverbindung zu minimieren, werden bei den neuen Steckverbindungen zwischen allen Kanälen Masseanschlüsse angeordnet.

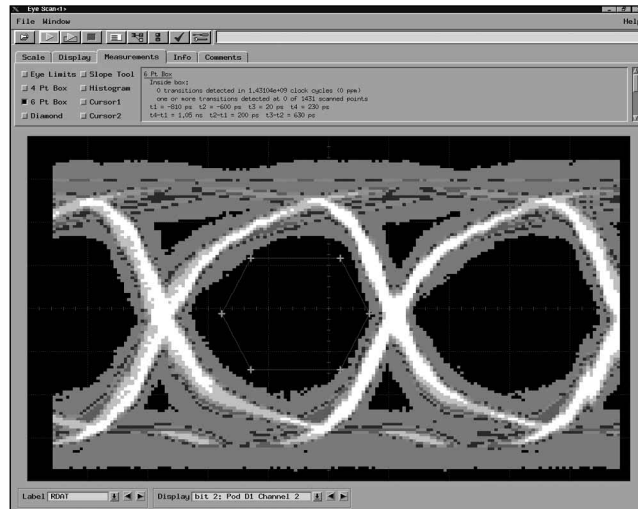


Abb. 3: Augendiagrammmessung eines SPI-4.2-Busses

- ▶ Auf der Empfängerseite einer Leiterbahn werden bereits kleine Spannungsschwankungen noch weiter reduziert. Wir empfehlen jedoch, die Adaption an diesem Ende vorzunehmen, um auch die neuen Möglichkeiten der Signalintegrität zu nutzen, die – wie nachfolgend erläutert – in den Logikanalysator integriert sind.
- ▶ Simulationen sollten bestätigen, dass an zwei Stellen ausreichende Augenöffnungen für Daten vorhanden sind: 1) am Eingang des Empfängers und 2) an der ‚Tastkopfspitze‘. Simulationsmodelle von Kontaktierungssystemen sind im Internet abrufbar.

Signalintegrität/ Signalcharakterisierung

Bei einer auf dem Datenpfad basierenden Schnittstelle wie SPI-4.2 ist die Signalcharakterisierung eine der wichtigsten messtechnischen Anforderungen. Die herkömmliche Methode besteht darin, auf jedem Kanal Augendiagramme zu sammeln, bezogen auf die Taktflanken des Busses. Diese Art der Messung war jedoch mühselig und zeitaufwändig und

erforderte oft tage- oder sogar wochenlangen Einsatz eines Technikers zum Testen jedes neuen Prototyps. Agilent Technologies hat ein neues Logikanalysenmodul vorgestellt, das einige der Merkmale eines Oszilloskops mit einer synchronen Methode kombiniert, mit deren Hilfe die Augendiagramme sämtlicher verbundener Kanäle gleichzeitig erfasst werden können. Durch die synchrone Erfassung (bei der die Taktfrequenz aus dem Zielsystem verwendet wird) in Kombination mit einer Auflösung von 10 Picosekunden pro erfasster Abtastposition ist es möglich, innerhalb von Minuten anstatt Stunden die Augencharakterisierungen zahlreicher Kanäle vorzunehmen. Abbildung 3 zeigt das Resultat einer Augendiagrammmessung von 16 Datenbits eines SPI-4.2-Busses bei einer Übertragungsrate von 650 Mbit/s. Diese Messungen helfen bei der Erkennung von Problemen durch ungleiche Leiterbahnenlängen, Reflexionen durch unsachgemäße Abschlüsse sowie weitere durch Rauschen oder Kopplung verursachte Störungen. Durch Verwendung einer Logikanalysatorverbindung entfällt das mühselige manuelle Erfassen der Buskanäle, wodurch das Risiko einer fehlerhaften, durch den Benutzer verschuldeten Erfassung reduziert wird.

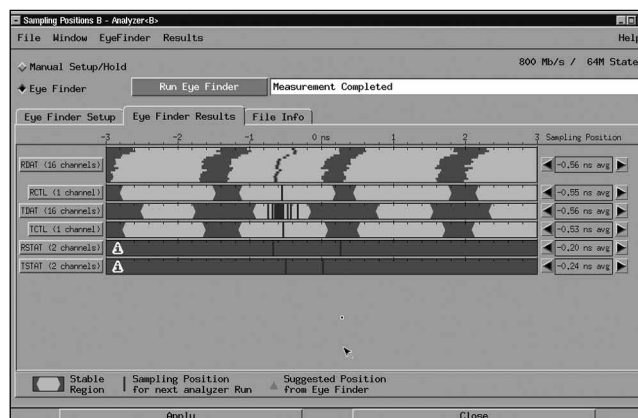


Abb. 4: Screen Shot des ‚Eye Finder‘

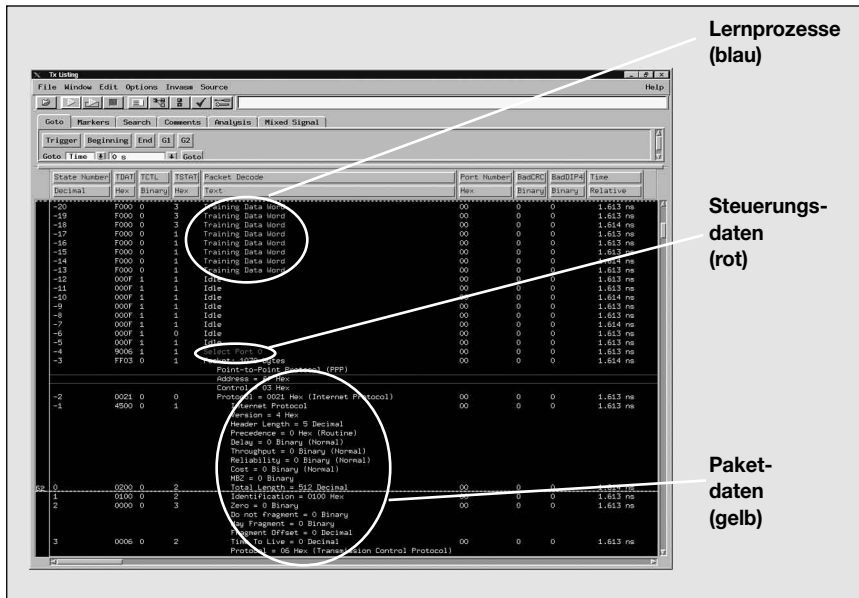


Abb. 5: SPI-4.2-Dekodierungsanzeige

B.05

Synchrone Abtastung

Der nächste Schritt bei der Analyse der SPI-4.2-Bussysteme ist die Zustandsanalyse, d. h. die synchrone Datenerfassung. Der Logikanalysator muss je einen Datenwert erfassen, bei der steigenden- wie auch bei der fallenden Flanke. Da die Laufzeiten zwischen den Kanälen einen wichtigen Faktor darstellen, wegen der geringeren Zeitabstände, ist deren Einfluss sehr entscheidend. Deshalb ist es wichtig, den Logikanalysator so zu konfigurieren, dass jeder Kanal optimal eingestellt wird, in Bezug auf die Abtastrate und der Daten (setup-hold-Zeit). Bislang konnte dieser Konfigurationsschritt nur mühevoll ausgeführt werden und erforderte auch einige manuelle Berechnungen, um die richtige Position oder das Setup- und Hold-Fenster einzustellen. Nun führt eine neue Funktionalität namens Eye Finder eine automatische Berechnung der optimalen Erfassungsposition für jeden Kanal durch. Das bedeutet nicht nur eine wesentliche Erleichterung bei der Konfiguration des Logikanalysators für die synchrone Erfassung, sondern ermöglicht auch eine rasche Darstellung der Anwenderdaten in einem Fenster. Abbildung 4 zeigt die Ergebnisse einer Messung mit Eye Finder. Die senkrechten Linien bezeichnen die gewählte Position für die Erfassung der einzelnen Kanäle. Die hellgrauen Bereiche zeigen an, wo die Signale im Verhältnis zur Taktflanke (die mit 0 ns festgelegt wird) stabil waren. Bei der Messung mit Eye Finder werden diese Positionen automatisch gewählt, können jedoch manuell einfach durch Ziehen der blauen Linie auf die gewünschte Stelle oder durch Anklicken der numerischen Steuerzeichen auf der rechten Seite angepasst werden. Die Auflö-

sung der erfassten Positionen ist bis 10 ps einstellbar.

Das ‚Eye Finder‘-Werkzeug zeigt auch an, wo keine Bereiche mit stabilen Daten zur Verfügung stehen oder keine ausreichende Signallaktivität für die Berechnung der optimalen Position besteht.

Bus- und Protokollanalyse

Sobald die Daten zuverlässig erfasst wurden, ist es wichtig, die Art des über den Bus laufenden Verkehrs rasch zu visualisieren. Nun kann dasselbe Werkzeug, das für die Charakterisierung der Signalintegrität eingesetzt wurde, auch für die Protokolldekodierung verwendet werden. Hier beschäftigen wir uns nun schon eher mit Problemen von gepackten Datenübertragungen und der Firmware von Netzwerkprozessoren, statt den Einschaltproblemen bei der Inbetriebnahme von Platinen. Agilent bietet ein Werkzeug an für die Analyse von SPI-4.2-Bussen, das Paketdekodierung, DIP-4-Parität und Analyse der CRC-Summen umfasst. Die Paketdekodierungen werden in einer Textspalte angezeigt. Der Text ist farblich auf die Art der Daten abgestimmt, Steuerungsdaten werden beispielsweise rot dargestellt. Das Analysewerkzeug erstellt auch zusätzliche numerische Spalten wie BadCRC und BadDIP-4, mit deren Hilfe ein Signalpuffer auf korrupte Daten durchsucht werden kann. Abbildung 5 zeigt ein Beispiel einer mit Hilfe des Analysewerkzeugs für SPI-4.2 erstellten Anzeige.

Eine Protokolldekodierung an einem einzigen SPI-4.2-Bus ist nicht unbedingt sehr sinnvoll. Kombiniert man diese jedoch mit

der zeitkorrelierten Sichtbarkeit anderer Bussysteme wie DDR- und QDR-Speicher (zur Speicherung von Daten und Steuerungsinformationen) und/oder CSIX zu Schaltzentrale, wird sie zu einem wertvollen Teil des Gesamtbilds. Bei Verwendung eines Logikanalysators sowie mehrerer Module für die Kreuztriggierung können Sie den Weg eines Datenpaketes in und aus Subsystemen für das Traffic Management verfolgen und die Kommunikation über Hardware auf Steuerungsebene überwachen. Weiter ist es möglich, externe Triggerungsquellen anderer Geräte wie Router-Tester-Werkzeuge einzusetzen, die Konformität und Leistung testen, wodurch ein Systemausfall bis auf die Ebene der Subsysteme und Komponenten zurückverfolgt werden kann.

Fazit

SPI-4.2 ist ein wichtiger Busstandard für sämtliche Anwendungen im Bereich des Internet Routing und Switching Industrie. Während dabei vielversprechende neue Technologien wie LVDS und quellsynchrone Takte eingesetzt werden, stehen auch Werkzeuge zur Verfügung, mit denen zuverlässige Messungen und Analysen vorgenommen werden können. Diese umfassen ein breites Spektrum an messtechnischen Anwendungen von der Signalintegrität bis zur Protokollanalyse, die in den Labors für Produktentwicklung und -prüfung von verschiedenen Teams gemeinsam genutzt werden können.

Beitrag als PDF im Internet:

www.duv24.net
more @ click TK4B0501

How to use
more @ click !

1. www.duv24.net
2. ‚more@click‘-Code eingeben
3. Anbieter kontaktieren – diskutieren – recherchieren