

# Mehr Produktivität in der Systementwicklung durch PCI-X- & PCI-Bus-Analyzer

## Einblicke in typische Probleme bei der Entwicklung von PCI-X-, PCI-, PMC- oder cPCI-Systemen

**D**er Artikel beschreibt wie PCI-X- und PCI-Bussysteme in PCs, Workstations und Embedded Computern analysiert werden können und wie dabei Debugging, Entwicklung und Systemtests verbessert werden. Es werden Einblicke in typische Probleme bei der Entwicklung von PCI-X-, PCI-, PMC- oder cPCI-Systemen gegeben. Bus-Analyzer werden von PCs oder Terminals aus eingesetzt und bieten im Bezug auf Produktivität beim Debugging eine erhebliche Steigerung im Vergleich zu herkömmlichen Tools. Besprochen werden sowohl der Einsatz von unterschiedlichen Techniken für Hardware-, Software- und Performanceanalysen, wie auch der Einsatz sogenannter Protokoll Checker, welche ein Echtzeitmonitoring aller Buszyklen zur Überprüfung der Verletzung von PCI-X- & PCI-Protokoll und Timing-Spezifikation ermöglichen.

### Was kann ein PCI-Bus-Analyzer?

Einige der wichtigsten Funktionen eines Bus Analyzers zeigt Tabelle 1. Ein Bus Analyzer kann dem Entwickler von Beginn an z.B. schon bei der Auswahl der PCI Komponenten helfen. Wenn diverse Geräte oder PCI-Interface-Chips in Erwägung gezogen werden, können diese auf Prototyp Boards evaluiert und mit Hilfe des Analysators auf ihr Verhalten hin beobachtet werden.

Angaben über ‚Cycle Types‘, Bus Performance und allgemeine Effizienz können helfen, den Hersteller auszuwählen. Während des

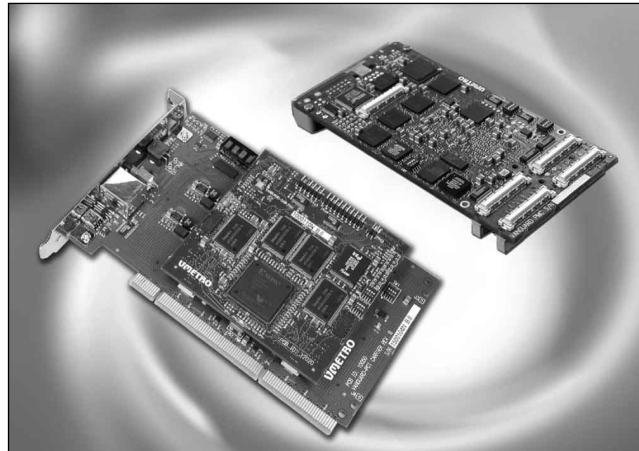


Abb. 1:  
Vanguard Networked  
Bus Analyzers für  
PCI/PCI-X und PMC

Hardware-Tests kann ein Bus-Analyzer das PCI-Bus-Timing in Wellenform oder Listenform darstellen und dabei dem Entwickler einen Einblick in das aktuelle Chip-Verhalten geben. Der Entwickler kann dabei sowohl auf Bus-Signale triggern als auch auf Signale wie Kommandos, Adressen oder Daten. Sofern das Projekt die Auswahl von Boardherstellern erfordert kann dabei auch Information zum Vergleich der Boards gegeben werden um den besten Kandidaten zu ermitteln. Während des Software Tests gibt die ‚State Analyse‘-Funktion dem User einen leicht zu lesenden Überblick über Adress-, Daten- und Kontrollinformationen und über alle Transaktionen auf dem Bus, so dass das Software Debugging enorm vereinfacht wird. Es ist ebenfalls möglich komplexe Trigger zu definieren und damit Speicherbedingungen einschließlich Adress- und Datenbereiche sowie Werte und Kontrollinformationen für Situationen, die eine nähere Betrachtung erfordern, einzugrenzen. Zeit- und Latenzinformationen erlauben zusätzlich Zeitmessungen wie Interrupt-Antwort-Zeiten, DMA Overhead.

Zusätzlich zur Möglichkeit komplexe Transaktionen zu beobachten ist es oft wünschenswert Informationen auf den PCI-Bus zu geben. Hierfür bringen einige Analyser eine integrierte Exerciser-Fähigkeit mit sich. Diese ermöglicht dem Entwickler Konfigurations-Register zu modifizieren, Daten in den Speicher zu schreiben, Interrupts zu generieren und Busverkehr zu simulieren. Die Ausführung von längeren Befehlsketten wird wei-

ter verbessert wenn der Exerciser über eine ‚Script Engine‘ verfügt. Script Engines ermöglichen die Ausführung von komplexen, vorher definierten, Kommando- und Daten-Transfers. Exerciser-Funktionen arbeiten unabhängig von benutzerdefinierter Hard- und Software und ermöglichen daher den Einsatz des Analyzers als Referenz-Tool für das Bus Timing.

Einige Bus-Analysatoren bieten ebenfalls eine sogenannte ‚Anomaly Trigger‘-Funktion. Diese spürt automatisch Hardwarefehler in einem PCI-X- oder PCI-System durch Beobachtung jedes Buszyklus auf. Ein ‚Anomaly Trigger‘ beinhaltet regelbasierte Elemente die kontinuierlich und gleichzeitig alle Bussignale beobachten und dabei eine Vielzahl von Timing- und Zustandsverletzungen des Bus-Protokolls erkennen können. Wenn eine Verletzung auftritt wird eine Nachricht angezeigt, oder ein Trigger-Signal generiert, um den Analyzer zu aktivieren oder um ein externes, zusätzliches Gerät, wie ein Oszilloskop zu aktivieren und damit die Aufzeichnung der Situation zu starten. Ebenfalls verfügbar sein sollten dazu Erklärungen, die mit den Regeln der PCI-X oder PCI-Spezifikation bzgl. jeder einzelnen Verletzung übereinstimmen. Diese unterstützen den Entwickler beim Verständnis und der Behebung des vorhandenen Problems. Zur Untersuchung einzelner Verletzungen sollten verschiedenen Verletzungen ausgeblendet werden können.

Diese Funktion deckt ebenfalls illegale Signalkombinationen auf. Bei der Verifizierung

#### Autoren

OLIVER SCHRANK ist Sales Engineer im Bereich Test & Debugging Tools

RAINER SPIELBAUER ist Senior System Engineer im Bereich Systementwicklung und Produktunterstützung bei VSystems GmbH; Elisabethstr. 30, D-80786 München  
Fon: 089/273763-0, Fax: 089/273763-10  
E-Mail: oschrank@vsystems.de  
E-Mail: rspielbauer@vsystems.de

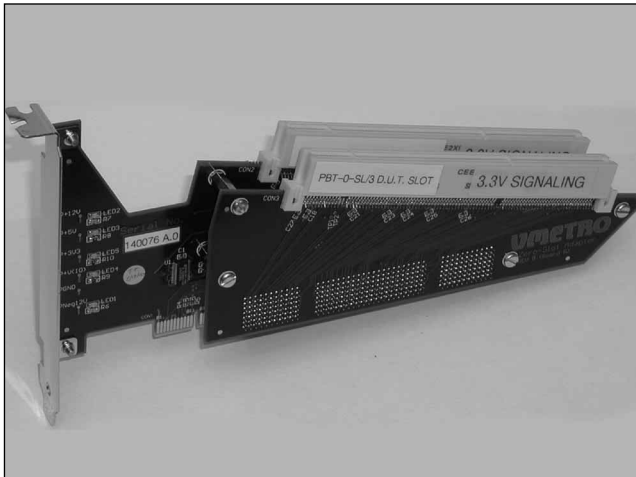


Abb. 2: Zero-Slot-Adapter für die Analyse von Systemen mit nur einem PCI Slot

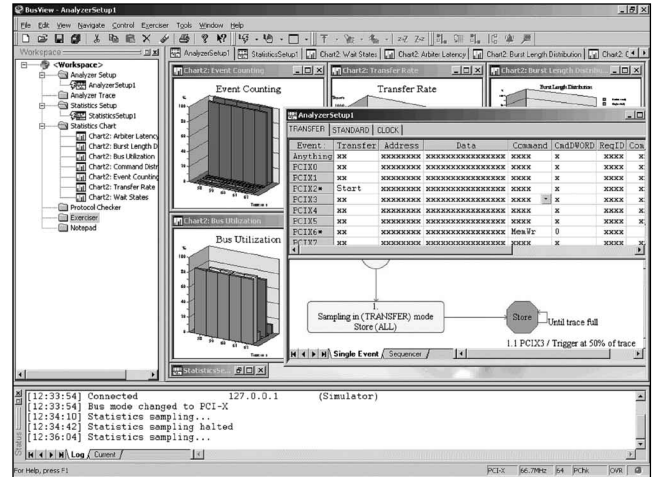


Abb. 3: Busview-Analyse-Software

von FPGA- und ASIC-Designs hat sich dies als eine enorm hilfreiche Funktion herausgestellt. Ein häufiges Problem tritt z.B. während eines schnellen Back-to-Back-Transfers auf. Wenn man bedenkt wie strikt die PCI-Spezifikationen sind, kann es schnell zu geringfügigen Timing-Verletzungen kommen. Wenn aber ein PCI-System mit Höchstgeschwindigkeit arbeitet können diese Probleme Datenfehler hervorrufen und damit das ganze System zum Ausfall bringen.

Wenn ein Bus-Anomaly-Trigger ein Busproblem erkennt, zeigt er es auf dem Bildschirm an. Einige Analysatoren unterstützen die gleichzeitige Nutzung eines High-Speed-Timing-Analyzers und eines Bus-Anomaly-Triggers. Somit kann sowohl die Verletzung beobachtet werden als auch das Board, das

den Fehler verursacht, einfach lokalisiert werden.

Effiziente, abschließende Systemoptimierung wird mit der Nutzung von Echtzeitstatistiken wie z.B. Busauslastung, Performance, Kommandoverteilung und Burstlängenverteilung vereinfacht.

Die statistischen Informationen werden hierbei grafisch aufbereitet und dargestellt, um dem Entwickler die nötigen Informationen für die Justierung des Systems und damit für die Verbesserung der Performance zu geben. Während des Integrationsprozesses kann der Anomaly Trigger genutzt werden, um Inkompatibilitätsprobleme, verursacht durch Verletzungen des Bus-Protokolls oder der Timing-Spezifikationen bestimmter Geräte, aufzuzeigen.

## Demultiplexing und protokollabhängige Zusammenstellung

B.05

Der PCI-Bus überträgt gleichzeitig Adressen und Daten über einen allgemeinen 32- oder 64-Bit-Bus. Auf einem ähnlichen Weg werden die Bus-Command-Signale gleichzeitig mit den Data Byte Enables (Bex#) übertragen. Dies spart Kosten ein, da die Anzahl von Pins auf den Chips und Steckern reduziert wird. Jedoch erschwert dies die Analyse des Busses mit einem gewöhnlichen Logikanalysator, da ein angezeigtes Sample nicht alle Informationen über einen Bus-Transfer enthält. Um dies zu ermöglichen, bieten einige Analyser die Fähigkeit Adress/Daten und Command/Bex# in einzelne Aufzeichnungskanäle zu demultiplexen. Dies jedoch erfordert eine große Anzahl von Aufzeichnungskanälen wie man sie nur bei den fortschrittlichsten Analysern wie z.B. den Vmetro PCI-X, PCI, PMC und CompactPCI-Analysern findet. Diese wichtige Funktion vereinfacht nicht nur die Darstellung und damit Lesefähigkeit der Aufzeichnung, sondern auch die einfache Definition umfangreicher Trigger- und Speicherbedingungen sowohl für Adressen als auch Daten.

Eine der grundlegendsten Eigenschaften von Bus-Analysern ist deren Fähigkeit, vom Protokoll abhängiges Sampling von Bus-Zyklen für die Zustandsanalyse durchzuführen. Im Gegensatz zu Logikanalysatoren, die den selben Zweck erfüllen, kennt der entsprechende Bus-Analyser das Bus-Protokoll des Zielsystems, um sicherzustellen, dass jede Aufzeichnung im richtigen Moment abläuft. Dadurch wird eine Aufzeichnung und die klare Darstellung aller möglichen Busaktivitäten wie Arbitrierung, Commands, Interrupts und Cache-Zyklen ermöglicht. Ebenfalls wird dadurch sichergestellt, dass der Bus nicht in unwichtigen Situationen aufgezeichnet wird.

Tab. 1: Wichtige Funktionen eines PCI-Bus-Analyzers

Funktion	Erklärung
Boardauswahl	Evaluierung der Funktionalität und Leistungsfähigkeit von PCI Boards zur Komponentenauswahl
Burstlängen-Optimierung	Erhöhung der Buseffizienz durch Maximierung der Burstlängen und Minimierung der Target-Retry-Zyklen
Bus Anomaly Trigger	Erkennen von Timing-Verletzungen und unerlaubten Signalkombinationen
Bus Marks	Künstlich hinzugefügte Buszugriffe, um weitere Triggermöglichkeiten bei der Analyse zu haben
Demultiplexen der Daten	Demultiplexen von Adressen/Daten und COMMAND/BEX# in separate Messkanäle
Exerciser	Simulation von Busverkehr, Datentransfers, Interrupts. Mittels Script Engine können auch komplexere Kommandofolgen angewandt werden
Protokollabhängiges Sampling	Es werden nur die gewünschten Momente aufgezeichnet wie z.B. Busarbitrierung, Kommandos, Interrupts oder Cachezyklen
Echtzeitstatistik	Erfassen und Anzeigen von Statistiken über Ausnutzung, Leistungsfähigkeit, Kommando- und Burstlängenverteilung
Triggeroptionen	Spezielle Funktionen werden aufgrund von auftretenden Buszuständen oder Ereignissen ausgeführt

Ein Beispiel für protokollabhängige Aufzeichnung ist die Fähigkeit, sowohl Target-Disconnect-Zyklen als auch Target-Retry-Zyklen aufzuzeichnen. Ein Analyzer zeichnet diese als separate Transfers zwischen den anderen konventionellen Transfers auf und stellt sie dar. Hierzu werden Markierungen gesetzt, um diese Zyklen von den anderen unterscheiden zu können.

### Burst-Längen-Optimierung

Ein Bus-Analyzer wird im Labor ohne weiteres sowohl von Hardware- als auch Software-Entwicklern als auch von Systemingenieuren für die Validierung genutzt. Die Verfahren, die dabei von den jeweiligen Ingenieuren eingesetzt werden, unterscheiden sich sehr. Diese reichen von Triggern auf einfache Ereignisse bis zu fortschrittlicheren Aufzeichnungsscripts mit Nutzung von externen Eingängen, um sporadisch oder unvorhersehbare Fehler in einem komplexen System aufzuzeichnen.

Burstlängen-Optimierung ist bei allen PCI-Implementierungen kritisch. In Systemen, in denen Daten Transfer stattfindet, werden DMA-Controller aus Performance-Gründen bevorzugt. Ebenfalls wird das Push-Push-Verfahren oft dort eingesetzt, wo DMA-READs in DMA-WRITEs umgewandelt werden können. Dies ist vor allem dann der Fall, wenn PCI-Bridges involviert sind. Beim Lesen von einem Gerät über eine PCI-to-PCI-Bridge treten oft eine große Anzahl von Target-Retry-Zyklen auf. Außerdem lässt sich die Effizienz des PCI-Busses durch Verwenden von langen Bursts steigern. Effizienz wird definiert durch das Verhältnis zwischen der Anzahl von Datenphasen geteilt durch die gesamte Anzahl an Zyklen die in den Transfer involviert sind.

Die meisten Systeme profitieren von einer hohen Effizienz weil verfügbare Busbandbreite immer für die zukünftige Erweiterung der Systeme genutzt werden kann. Der Bus-Analyzer ist für die Systemoptimierung ein wichtiges, kaum verzichtbares Werkzeug.

### Bus Marks

„Bus Marks“ sind künstliche Bus-Zugriffe auf eine bekannte Adresse und/oder einige bekannte Daten, welche von dem Programmierer eingefügt wurden, um Aktionen mit einem Bus-Analyzer beobachten zu können. Bus Marks können für komplexe Triggermöglichkeiten eingefügt werden, als Anzeige, dass bestimmte Prozesse noch laufen oder um Zeitmessungen in Systemprozessen durchzuführen.

### PCI-X

Mit der Vorstellung der PCI-X-Spezifikation wurden dem PCI-Bus eine Fülle neuer Funktionen gegeben. Diese variieren von leichteren Timing-Anforderungen und höheren Taktfrequenzen bis zu Änderungen des Bus-Protokolls, um eine höhere Effizienz zu gewährleisten. Die Einführung der Attribut-Phase in PCI-X zusätzlich zu der Adress- und Datenphase von PCI erhöht die Komplexität des Busses. Ein Analyzer kann bei der Dekodierung der neuen Information helfen. Eine sehr wichtige und sehr hilfreiche Funktion bei der zuvor besprochenen Burst-Längen-Optimierung ist das Konzept von „Split Transactions“. In einer Split-Transaction wird ein „READ“-Zugriff in Wirklichkeit automatisch in einen „WRITE“ umgewandelt. Das Zugriffsziel wird dann den READ-Zyklus mit einem neuen Antworttyp genannt „Split Response“ (SpResp) antworten. Damit ist das Zugriffsziel dafür verantwortlich, die Anfrage durch das Rückschreiben der Daten zum Initiator zu vervollständigen. Das Konzept von Split-Transactions stellt sicher, dass andere Master den Bus, während das adressierte Gerät die angeforderten Daten bereitstellt, nutzen können. Dies führt zu einer wesentlich höheren Busauslastung als es typischerweise in PCI Systemen der Fall ist. Mit PCI-X-Analysern, die grafische Auslastungsdiagramme zeigen, ist der Performance-Gewinn sehr anschaulich zu erkennen.

### Bus-Analysatoren für verschiedene Formfaktoren

Der PCI-Bus ist in verschiedenen Formfaktoren verfügbar. Die gängigsten hierbei sind PCI, PCI Mezzanine Card (PMC) oder CompactPCI (cPCI) Backplane-Systeme. Um all diese in Einklang zu bringen, sind Bus-Analysatoren für alle Formfaktoren verfügbar. Ein interessanter Ansatz für Benutzer, die verschiedene Formfaktoren benötigen, z.B. um für zukünftige Planungen gerüstet zu sein, ist die Nutzung eines Analyzers im PMC-Format im Zusammenhang mit Adapters für PCI oder cPCI zu empfehlen. Dies erlaubt dem Entwickler einen Analyzer für alle Formfaktoren (PCI, PMC, cPCI) zu nutzen. Ist kein freier PCI-Slot verfügbar, kann ein „Zero-Slot-Adapters“ (Adapter welcher einen einzelnen PCI-Slot in 2-Slots für Test- und Debuggingzwecke umsetzt, siehe Abb. 2) verwendet werden. Im Vergleich zu Lösungen bei denen eine PCI-Karte direkt auf den Analyzer gesteckt werden kann, nimmt ein Zero-Slot-Adapter weniger Einfluss auf den Bus, da die zusätzlichen Leitungslängen wesentlich kürzer sind und nur wenn nötig genutzt werden.

Die Bus-Analysator „Vanguard“ von Vmetro (Abb. 1) schöpfen alle im Artikel erwähnten Messmöglichkeiten aus. Darüber hinaus erlaubt die Netzwerkfähigkeit sowohl der Analyzer als auch der Busview-Analyse-Software (Abb. 3) ein Arbeiten fern des zu analysierenden Systems über beliebige TCP/IP-Verbindungen. Die Implementierung der Analyzer basierend auf FPGA-Bausteinen erlaubt das Erweitern der Funktionalität durch einfaches Laden von Updates.

#### Beitrag als PDF im Internet:

[www.duv24.net](http://www.duv24.net)

more @ click TK4B0505



## LESETIPP



**Sie suchen nach Beiträgen zu der Thematik EMV-Messtechnik?**

**Unter der Griffmarke B.03 finden Sie aktuelle und praxisnahe Beiträge**

TEST  
KOMPENDIUM  
Messen • Prüfen • Verifizieren

publish industry  
TECHNIK KOMMUNIZIEREN

Gollierstraße 23 · 80339 München, Germany · Fon +49/89/500383-0 · Fax +49/89/500383-10 · info@publish-industry.net · www.publish-industry.net