

Kostenkontrolle beim IC-Produktionstest

Design-for-Test-Methodik für Nanometer-Prozesstechnologien

Scan- und Automatic Test Pattern Generation'-Techniken (ATPG) sind seit mehr als einem Jahrzehnt die Standardmethoden für Tests an Halbleiterschaltungen. Mit der Einführung von Nanometer-Prozesstechnologien in der Branche müssen diese Standard-Testmethoden neu überdacht und aktualisiert werden. Steigende Gatterzahlen und Testkosten und die Notwendigkeit zur Verbesserung der Qualität und Effektivität von Produktionstestprogrammen werden zu wesentlichen Änderungen bei den Testmethoden führen.

Um angesichts der fortlaufend miniaturisierten Prozesstechnologien die Qualität – gemessen in Fehlern pro Million (defects per million, DPM) – zu gewährleisten, sind Veränderungen der IC-Testmethodik erforderlich. Außer der Verbesserung der Reichweite klassischer Tests zur Erkennung von Zustandswechselfehlern (Stuck-at-Fehler) werden auch spezielle Methoden zur Erkennung von Laufzeit- und Brückenfehlern zum Standard werden. Viele Unternehmen haben ihre Standard-Testmethodik bereits um Scanbasierte Testmuster bei voller Taktfrequenz erweitert. Angesichts der Tatsache, dass die internen Taktfrequenzen der Chips die Fähigkeiten automatischer Testsysteme (ATE) zur Generierung genauer Taktfrequenzen für diese Tests übersteigen, gibt es inzwischen neue Möglichkeiten, die sich der internen PLL-Taktgeneratoren (Phase Lock Loop) der Chips bedienen, um beim Test hochgenaue At-speed-Taktfrequenzen zu erzeugen. Die Anwender haben jetzt die Möglichkeit At-speed-Taktfolgen zu definieren, die auf dem Chip selbst erzeugt werden. Die ATPG-Logik

nutzt diese Taktfolgen zur Generierung von Testmustern und programmiert die PLL so, dass diese spezielle Taktfolge beim Produktionstest ausgeführt wird.

Eine Nebenwirkung der Verbesserung von Qualität und Effektivität des Produktionstests ist ein explosionsartiger Anstieg des Umfangs der Testdaten, die für die heutigen hochkomplexen Schaltungen erforderlich sind. Noch schlimmer als die Zunahme der Testdaten ist für die Halbleiterhersteller ein proportionaler Anstieg des Zeitaufwands zum Testen jeder Schaltung. Schon die At-speed-Tests erhöhen die Menge der Testmuster auf das Drei- bis Fünffache. Berücksichtigt man hierzu noch die Zunahme der Testdaten durch steigende Gatterzahlen, so wird offensichtlich, dass die Menge der Testdaten wesentlich schneller als nach dem Mooreschen Gesetz zunimmt. Die Halbleiterhersteller stehen nun vor der Aufgabe, bei immer stärker miniaturisierten Prozesstechnologien die Testqualität zu verbessern – oder auch nur beizubehalten – und gleichzeitig die Kosten zu kontrollieren und die Schaltungen rechtzeitig auf den Markt zu bringen. Für diese Anforderungen, die normalerweise nur schwer miteinander zu vereinbaren sind, gibt es jetzt eine Lösung in Form einer neuen Design-for-Test-Technologie (DFT) mit der Bezeichnung Embedded Deterministic Test (EDT).

Embedded Deterministic Test

Die EDT-Technologie setzt sich aus zwei zueinander komplementären Komponenten zusammen – Hardware, die im Chip integriert ist, und neue deterministische ATPG-Software, die unter Verwendung der Embedded-Hardware hochgradig komprimierte Muster generiert. Diese Technologie ist ein integrierter Bestandteil des ATPG-Tools TestKompress von Mentor Graphics. Die EDT-Hardware wird in die Scan-Pfade eingefügt, wie in Abb. 3 gezeigt, und erfordert keinerlei Modifikationen an der Funktionslogik. Sie besteht aus einem so genannten Decompressor, der eine geringe Anzahl von externen Scan-Kanälen auf eine große Anzahl von internen Scan-Ketten abbildet, und einem so genannten Compactor, der die große Anzahl von internen Scan-Ketten auf eine geringe Anzahl von externen Scan-Kanälen abbildet. Zusätzlich kann eine optionale Logik verwendet werden, die den Decompressor und den Compactor umgeht

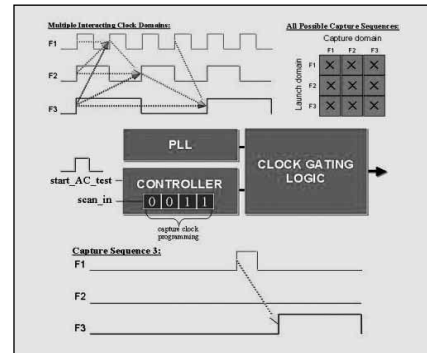


Abb. 1: Das ATPG programmiert den internen Taktgenerator des Chips so, dass er die benötigten At-speed-Taktfolgen für den exakten Test aller zusammenwirkenden Schaltungsbereiche erzeugt

und einen direkten Zugriff auf interne Scan-Ketten ermöglicht.

Der Decompressor-Block, der zwischen die externen Scan-Kanal-Eingänge und die internen Scan-Ketten-Eingänge geschaltet ist, besteht aus einem Ringgenerator und einem Phasenschieber. Der Ringgenerator ist eine besondere Linear Finite State Machine (LFSM), gebildet durch die Anwendung einer Reihe von m-Sequenz-Erhaltungstransformationen auf die kanonische Form eines linearen Feedback-Schieberegisters (LFSR) vom Typ I. Im Vergleich zu einem LFSR vom Typ I oder Typ II, wie es üblicherweise in Selbsttesterschaltungen eingesetzt wird, bietet der Ringgenerator mehrere Vorteile, u. a. eine wesentlich kürzere Laufzeit in der Feedback-Logik, einen maximalen internen Ausgangslastfaktor von zwei und eine drastisch reduzierte Gesamtlänge der Feedback-Wege. Die Phasenschieberlo-

C.03

Autoren

NAGESH TAMARAPALLI ist Technical Marketing Engineer in der Design-for-Test Division

GREG ALDRICH ist Director of Product Marketing in der Design-for-Test Division Mentor Graphics Corporation; 8005 SW Boeckman Road Wilsonville, Oregon 97070 USA

Fon: +1/503 685-7000, Fax: +1/503 685-1204 E-Mail: nagesh_tamarapalli@mentor.com E-Mail: greg_aldrich@mentor.com

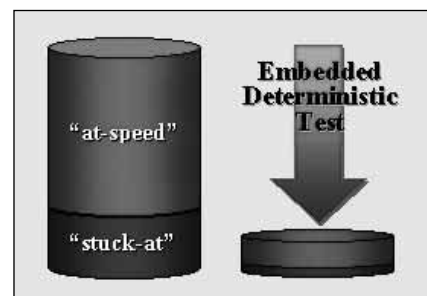


Abb. 2: Schon die At-speed-Tests erhöhen die Menge der Testmuster gegenüber Stuck-At-Tests auf das Drei- bis Fünffache. EDT reduziert den Umfang und Testzeiten der Scan-test-Daten um den Faktor 100

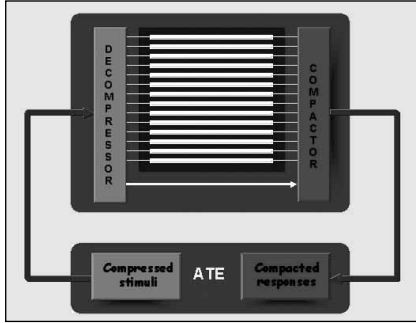


Abb. 3: Grundlegende EDT-Architektur

gik teilt die Ausgänge des Ringgenerators auf die große Anzahl von internen Scan-Ketten auf und verringert die linearen Abhängigkeiten zwischen den Bitfolgen, die den Scan-Ketten-Eingängen zugeführt werden, indem sie diese um mindestens den Betrag der größten Kettenlänge verschiebt. Die XOR-Gatter im Phasenschieber werden von einer begrenzten Anzahl von Ringgenerator-Stufen angesteuert, um die Laufzeit zu verringern. Um die modulare Realisierung des Decompressors zu vereinfachen, können die XOR-Gatter im Phasenschieber so begrenzt werden, dass sie nur eine Untermenge (Subset) der Ringgenerator-Stufen nutzen. Eine solche modulare Architektur ist sinnvoll zur Reduzierung von Routing-Engpässen, wenn eine große Zahl von Scan-Ketten vom Decompressor angesteuert werden müssen.

Der zwischen die internen Scan-Ketten-Ausgänge und die externen Scan-Kanal-Ausgänge geschaltete Compactor-Block besteht aus räumlichen XOR-Compactor-Einheiten mit Baumstruktur. Diese räumlichen Compactor-Einheiten verdichten die große Anzahl von Scan-Ketten-Ausgängen auf wenige Testdaten-Ausgänge, deren Anzahl der Anzahl der Scan-Kanal-Eingänge entspricht. Hierbei ist zu beachten, dass die normalerweise kombinatorischen Compactor-Einheiten in einer Pipeline angeordnet werden können, um den Durchsatz zu erhöhen. Der EDT-Compactor weist gegenüber herkömmlichen MISR-Compactor-Einheiten (Multiple Input Signature Register) einige vorteilhafte Besonderheiten auf, u. a. Toleranz gegenüber unbekanntem Zuständen (X-Werten), Ausschluss von Aliasing-Effekten und Diagnoseunterstützung. Für das Bounding der X-Quellen sind keine Veränderungen der Funktionslogik erforderlich, da der Compactor die unbekanntem Werte selektiv maskieren kann, was die Weitergabe der Fehlereffekte an die Kanalausgänge gewährleistet. Eine ähnliche Technik wird zur Unterdrückung des Fehler-Aliasing angewandt. Da der Vergleich der Testantworten zyklusweise erfolgt, sind Informationen über fehlerhafte Zyklen und Muster für Diagnosezwecke leicht verfügbar.

Die ATPG-Algorithmen für EDT nutzen die Embedded-Hardware zur Erzeugung hochkomprimierter Testmuster. Es ist allgemein bekannt, dass bei deterministischen Testmustern typischerweise nur 1 bis 5 Prozent der Scan-Zellen spezifiziert sind. Solche teilweise spezifizierten Testmuster werden als Test Cubes (Test-Würfel) bezeichnet. Die verbleibenden 95 bis 99 Prozent der Scan-Zellen werden von Standard-ATPGs nach dem Zufallsprinzip gefüllt, und diese vollständig spezifizierten Testmuster werden im Testsystem gespeichert. Bei der EDT-Lösung werden die nicht spezifizierten Positionen nicht nach dem Zufallsprinzip gefüllt, sondern die Test Cubes werden komprimiert und in Form von komprimierten Mustern im Testsystem abgespeichert. Wenn diese komprimierten Muster dem Decompressor zugeführt werden, liefern sie exakt die gleichen Werte in den spezifizierten Positionen für die Scan-Ketten.

Das Testsystem behandelt die mit der EDT-Lösung erzeugten komprimierten Muster, abgesehen von ihrem hohen Verdichtungsgrad, ebenso wie reguläre ATPG-Muster. In jedem Taktzyklus werden die komprimierten Testdaten der geringen Anzahl von externen Kanaleingängen zugeführt, und der Decompressor dekomprimiert die Testdaten und führt sie der großen Anzahl von internen Scan-Ketten zu. Auf der Ausgangsseite verdichtet der Compactor die von den ausgewählten internen Scan-Ketten-Ausgängen kommenden Antworten und generiert die verdichtete Antwort, die vom Testsystem anschließend mit der erwarteten Antwort verglichen wird. Wird eine Abweichung von der erwarteten Antwort in einem Zyklus festgestellt, kann das Testsystem die Fehlerinformation aufzeichnen. Die fehlerhaften Muster können dann durch nochmalige Beaufschlagung und Beobachtung der Antwort in nicht-komprimierter Form weiter analysiert werden. Zusätzlich ermöglicht der zyklusweise Vergleich die Behandlung von Produktionstest-Anomalien, die z. B. für bestimmte Zyklen den Ausfall aller Schaltungen anzeigen. Diese abnormalen Zyklen können bei Verwendung der EDT-Lösung ebenso wie beim normalen ATPG-Verfahren beim Produktionstest ignoriert werden.

Der mit EDT maximal erzielbare Komprimierungsgrad richtet sich üblicherweise nach dem zahlenmäßigen Verhältnis zwischen internen Scan-Ketten und externen Scan-Kanälen. Die Anzahl der externen Kanäle wird gewöhnlich durch die Anzahl der im Testsystem verfügbaren Scan-Kanäle bestimmt, oder aber durch die Anzahl der am IC verfügbaren Eingangs-/Ausgangspins. Die EDT-Technologie entkoppelt die externen Kanäle von den internen Scan-Ketten, so dass wenige externe Kanäle zahlreiche interne Ketten an-

steuern können. Bei industriellen ICs mit mehreren Millionen Gattern ist eine bis zu 20-fache Komprimierung nicht ungewöhnlich, und es sind schon Design mit Komprimierungsfaktoren von 100 und darüber bekannt. Die Technologie ist kompatibel mit bestehenden ATPG-Verfahren. Sie ist außerdem hochgradig skalierbar und für eine modulare Realisierung gut geeignet, so dass Tests von großen und komplexen System-on-Chip-Designs (SoC) über eine reduzierte Anzahl von Pins getestet werden können.

Da die EDT-Lösung mit deterministischen Testmustern arbeitet, sind zur Sicherstellung einer hohen Testabdeckung keine Testpunkte erforderlich. Darüber hinaus bietet das EDT-Deekomprimierungsverfahren im Vergleich zu anderen Embedded-Lösungen eine wesentlich höhere Kodierkapazität. Ein 64-Bit Decompressor kann problemlos Tausende von spezifizierten Bits an einem Design mit mehreren Millionen Gattern kodieren. Diese Kodierkapazität bedeutet, dass EDT für praktisch jedes Design geeignet ist und alle komplexen sequenziellen Muster erzeugen kann, die für Tests in höchster Qualität erforderlich sind.

Fazit

Rasant zunehmende Testzeiten und Testdatemengen werden bei Produktionstests schnell zu einem großen Problem, da für die veränderten Anforderungen der Nanometer-Prozesstechnologien zusätzliche Tests eingeführt werden. Da At-speed-Tests immer mehr ein Muss werden und die Gatterzahlen weiter steigen, werden sich die Testmethoden in Richtung auf stärker integrierte Techniken verlagern, welche die nötige Testqualität und Komprimierung bieten, um die Wettbewerbsfähigkeit zu erhalten. Denn abgesehen von einer hohen Testqualität sind es natürlich in erster Linie die Funktionalität und Leistungsfähigkeit eines Chips oder Systems, die von den Kunden erwartet werden. SoC-Entwicklerteams sind hinreichend damit ausgelastet, die Funktionalität und Leistungsfähigkeit zu realisieren, für die ihre Kunden bezahlen, und wollen sich nicht auch noch mit zusätzlichen Testschaltungen in ihren funktionalen Designs auseinandersetzen. Die Testmethoden der Zukunft müssen fortschrittliche Fehlermodelle und Testmuster unterstützen, um hochwertige Tests zu gewährleisten, sie müssen sehr hohe Komprimierungsgrade ermöglichen, und vor allem dürfen sie sich nicht nachteilig auf das funktionale Design auswirken.

Beitrag als PDF im Internet:

www.duv24.net
more @ click TK4C0302 