

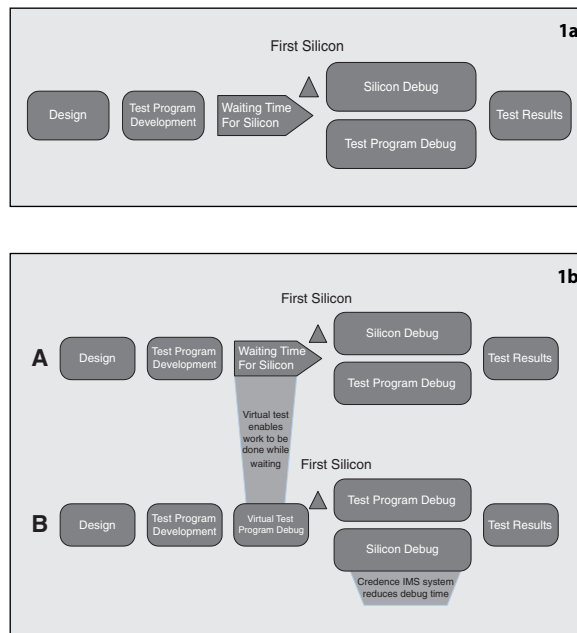
# Verbesserter, Design-to-Test'-Ablauf

## Reduktion von Entwicklungs- und Produktionskosten durch neue Testabfolge

**D**ie Integration hochentwickelter digitaler Funktionskerne mit komplexen analogen Funktionen auf einem einzelnen Chip ermöglicht es, System on Chip' (SoC) -Herstellern, dem Bedarf an erweiterter Funktionalität und höherer Leistung marktführender Anwendungen im Audio-, Video-, Multimedia-, drahtlosen, telekommunikativen und Datenübertragungsbereich gerecht zu werden. Außerdem müssen die Unternehmen sowohl in Bezug auf die Kosten als auch auf die Vorlaufzeit konkurrenzfähig sein, je mehr sie sich der 90-nm-Technologie nähern. Bei der Herstellung dieser komplexen Bausteine stehen SoC-Hersteller einer dramatisch erhöhten Design- und Testkomplexität gegenüber, die oft zu fehlerhaftem Silizium, längeren Testentwicklungszeiten und zusätzlichen Verzögerungen führt. Unter dem Druck funktionsfähiges Silizium zu liefern, fühlen sich die Ingenieure nicht in der Lage das volle Potential an hochentwickelter Prozesstechnik und Fertigungskapazität zu nutzen. Deshalb suchen Halbleiterhersteller neue Methoden, die zur früheren Verifizierung des ersten Siliziums und zur effektiven Testprogrammerstellung führen. Zudem müssen die Testkosten im Produktionstest immer weiter reduziert werden, obwohl sich die Testanforderungen permanent ändern.

Durch den effizienten und wirksamen Einsatz von Design- und Testressourcen, bieten diese neuen Vorgehensweisen eine effektivere ‚Design to Production‘-Testlösung, die sowohl die Produktionseinführungszeit als auch die Testkosten von zunehmend komplexen SoC-Bausteinen reduziert.

Die Testingenieure stehen einer wachsenden Herausforderung gegenüber. Nicht nur in Bezug auf das Testausmaß für ‚multi million



**Abb. 1a:** Traditioneller serieller Entwicklungsablauf, bei dem Designingenieure mit geringen Informationen über Designauswirkungen auf Tests, mögliche Design-/Testkompromisse oder die Einschränkung von existierenden Testressourcen arbeiten

**Abb. 1b:** Traditioneller serieller Entwicklungsablauf verglichen mit einer effizienteren ‚design-to-production‘-Testabfolge (B), das den Ingenieuren hilft, einen kritischen Einblick in die Bausteinfunktionen zu erlangen und die Produkteinführungszeit zu beschleunigen

transistor‘-Bausteine, sondern auch durch die Testkomplexität von Bausteinen, die ‚multiple intellectual property‘ (IP) enthalten. Testingenieure müssen sicherstellen, dass Testprogramme so optimiert sind, dass sie die Testzeit reduzieren und so wenig Testressourcen wie möglich verbrauchen, um eine Durchführung der Tests mit dem kostengünstigsten Gerät der Produktionsanlagen zu gewährleisten. Gleichzeitig benötigen die Ingenieure leistungsfähigere ‚mixed signal‘-Testressourcen, die in der Lage sind, aufkommende Hochleistungsschnittstellen, z. B. Firewire, Gigabit Ethernet und High-end-Grafik zu bewältigen.

### Traditionelle Testentwicklung

Bei traditionellen seriellen Entwicklungsmethoden sehen Testingenieure Bausteine erst spät im Entwicklungsprozess. Zu diesem Zeitpunkt ist die Behebung von Testproblemen teuer. Eine Folge davon ist, dass SoC-Hersteller oftmals erhöhten Testzeiten, höheren Gesamttestkosten und längeren Produktionseinführungszeiten gegenüberstehen. Neueste Designfortschritte, wie ‚design-for-test‘ (DFT), tragen dazu bei, die Testbarkeit durch ‚embedded scan‘ oder ‚built-in self test‘ (BIST) Strukturen zu verbessern.

Entwickelt für frühere Generationen von ICs mit bedeutend einfacheren Testanforderungen, reduziert diese serielle Methode der

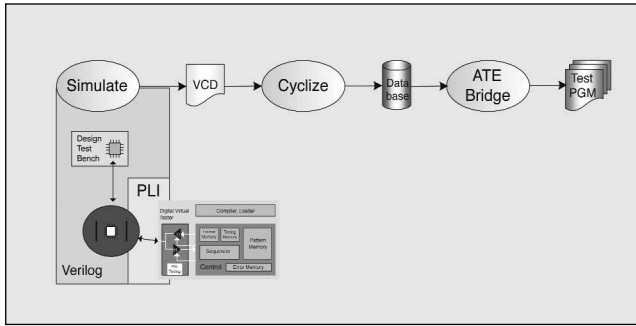
Testentwicklung den Informationsfluss zwischen Design und Test und kann helfen, die Testkomplexität zu reduzieren. In traditionellen seriellen Entwicklungsabläufen (Abb. 1a) arbeiten Designingenieure mit geringen Informationen über Designauswirkungen auf Tests, mögliche Design- / Testkompromisse oder die Einschränkung von existierenden Testressourcen. Folglich können Probleme bis zum ersten Silizium unentdeckt bleiben, wenn die Testentwicklung letztendlich beginnt. Bei dieser Methode können ernsthafte Probleme, die in der Validierung oder den Produktionstests des ersten Siliziums auftreten, zu zusätzlichen Herstellungszyklen, mit all ihren in Bezug stehenden Kosten und Zeitverzögerungen, führen.

### Verbesserte Testentwicklungsabläufe

Um mit der gestiegenen Komplexität der heutigen SoC-Bausteine umzugehen, haben sich führende Hersteller effizienteren ‚Design to Production‘-Testabläufen zugewandt (Abb. 1b). Durch die Einführung von Tests bereits im Design – lange vor der Produktion des ersten Siliziums – hilft diese Vorgehensweise dem Ingenieur, wertvolle Einblicke in die Leistungsfähigkeit der Bausteine zu erhalten, lange vor dem Transfer in die Massenproduktion.

#### ► Autor

MIKE KONDRAT ist Senior Director der Credence Systems Corporation;  
215 Fourir Ave  
Fremont, CA 94539  
USA  
Fon: +1/510-657-7400  
Fax: +1/510-623-2524  
E-Mail: marcom@credence.com



**Abb. 2:**  
**Verifizierung von Test-**  
**programmen vor dem**  
**ersten Silizium**

Jahrelang waren die Ingenieure auf spezialisierte Werkzeuge angewiesen – häufig selbstentwickelte Skripte und Dienstprogramme – um die Simulationsvektoren in die von den Testsystemen benötigten Formate umzuwandeln. SoCs komplizieren diesen Übersetzungsprozess erheblich, da die Bausteine zunehmend komplexe ‚Timings‘ haben, die für eine zielorientierte Testplattform zyklisiert und optimiert werden müssen. Heute sind mehr hochentwickelte Testwerkzeuge in der Lage, mit Daten der führenden EDA-Lieferanten zu arbeiten, Designergebnisse zu lesen und Simulationsdaten zu erfassen – und Daten verschiedener Prozesskerne in ein ‚Test pattern‘ zu kombinieren.

Heute lassen neue ‚Design to Production‘-Testabläufe Ingenieure auch die Funktion der Testprogramme früh im Entwicklungsablauf prüfen. In der Vergangenheit mussten Testingenieure auf das erste Silizium und die Verfügbarkeit der Testsysteme warten, um die Fehler in den Testprogrammen zu suchen und zu beseitigen – ein Prozess, der die Serienfertigung um Wochen verzögern konnte. Die heutige hochentwickelte Testentwicklungsumgebung bietet Testingenieuren ‚Digital Virtual Tester‘ (DVT) Fähigkeiten, um ‚debugging‘ ohne Testgerät und weit vor der Verfügbarkeit von Silizium zu ermöglichen. Mit DVT verwenden die Ingenieure die Designverifikationsumgebung, um aktuelle Testprogramme gegen die Simulationsmodelle des ‚device under test‘ (DUT), des Testers und des ‚load boards‘ laufen zu lassen (Abb. 2). Gleich den gegenwärtigen EDA-Fähigkeiten sind virtuelle Testmethoden am ausgereiftesten für digitale Schaltkreise, aber entstehende Zusammenarbeit zwischen EDA und Testfirmen versprechen technisch ausgereiftes Design und Testentwicklungsfähigkeiten auch auf analoges Design auszuweiten.

Die verbesserten Testentwicklungsfähigkeiten sind entscheidend für alle SoC-Hersteller, jedoch sind sie besonders wichtig für Halbleiterfirmen ohne Fertigung. Durch das Auslagern von ‚assembly‘ und ‚test‘ an Auftragsfertiger stehen fertigungslose Firmen einer geografischen Lücke zwischen Design und Test gegenüber, die traditionelle Kommunika-

tionsprobleme zwischen Design- und Testgruppen verstärken kann. Der virtuelle Testansatz ermöglicht Firmen ohne Fertigung Testfehler innerhalb ihrer existierenden Designumgebung zu beseitigen, um eine geeignete Testprogrammbedienung zu sichern und ein besseres Verständnis für potentielle Testressourcenprobleme zu erzielen.

### Testsysteme für den Engineering-Test

Mit dem Übergang zu ‚deep submicron process‘ (DSM) Technologien bei 0,13 µm und darunter zeigen hochentwickelte Bausteine vermehrt Koppeleffekte, die sich der ‚pre-silicon verification‘ entziehen. Tatsächlich begrenzen diese subtilen Effekte, die gewöhnlich nur während ‚at-speed operation‘ entstehen, die Wirksamkeit der meisten ATE durch die Erkennung von DSM-Fehlern im Silizium. Die Kombination von Designkomplexität und hochentwickelter Prozesstechnologien führt zu einem Bedarf an verbesserten Siliziumvalidierungsfähigkeiten, die sich vom ATE-Produktionstest unterscheiden.

Speziell für Entwicklungsbelange optimiert, entstanden Prüfsysteme für die Entwicklung, deren Fähigkeiten sich bedeutend von Produktionstestern unterscheiden, die für eine Fertigung mit hoher Durchlaufleistung optimiert sind. Entwicklungsprüfsysteme müssen für interaktive Analysen, die graphische Anwenderschnittstellen für Testsetup und -messungen anbieten, ausgerüstet sein. Diese Art der ‚quick-response‘-Umgebung lässt Ingenieure effektiver in diese Art der interaktiven ‚was wenn‘-Analyse eingreifen, die nötig ist, um Silizium effizient zu debuggen und das Design zu optimieren.

ATE-Produktionssysteme sind hingegen für Massen Anwendungen ausgelegt, die auf stark optimierten Testprogrammen basieren, um Testzeiten bei minimalem Ressourcenverbrauch zu sichern. Dort, wo Produktionstester so schnell wie möglich ein pass/fail-Ergebnis liefern müssen, müssen Entwicklungssysteme umfassende Details, die für die Analyse der Grundursache notwendig sind, bereitstellen.

Tatsächlich bieten die heute führenden Validationssysteme ‚full-depth capture‘-Datenspeicher, die in der Lage sind komplette Daten auf allen Pins zu speichern und Ingenieure dazu befähigen, die Bausteinfunktion leichter zu analysieren – eine Fähigkeit über den Anwendungsbereich der Produktion-ATE hinaus.

Während der Produktion helfen dieselben Fähigkeiten die Fehleranalyse zu beschleunigen. Um komplexe und oft unentdeckte Timing-basierte Designprobleme, wie von ‚race conditions‘ verursachte Fehler, übermäßiges Übersprechen oder Schwankungen erfolgreich zu lösen, müssen Designer auf die Untersuchung von internen Signalen von ICs zurückgreifen. In diesem Modell liefert das ‚Engineering Validation System‘ Echtzeit-Stimuli, während durch hoch entwickelte optische Emissions-basierende Hilfsmittel wie das Emi Scope von Optonics präzise interne Timing-Messungen durchgeführt werden.

### Flexible Testplattformen

Da Hersteller SoCs entwickeln, die immer schnellere digitale und komplexere analoge Funktionen verbinden, diktiert die Kombination verbesserter Funktionalität, schnellerer Datenübertragungsraten und höherer Bandbreite die Notwendigkeit für leistungsfähigere ATE. Bereits jetzt erfordern on-chip Funktionen, wie Firewire, Gigabit Ethernet und Accelerated Graphics Port (AGP) Tester mit digitalen Datenübertragungsraten, die 800 Mbps erreichen und neu entstehende Bausteine werden solche Raten schon bald verdoppeln.

In der Vergangenheit konnten Hersteller zusätzliche Investitionen in neue Anlagen tätigen, um den Testanforderungen der nächsten Generation zu begegnen. Heute sind die Testanforderungen jedoch ein sich schnell änderndes Ziel, und Hersteller suchen nach erschwinglichen, konfigurierbaren Plattformen, die auf einfache Weise angepasst und erweitert werden können, um den neuen Ansprüchen für die Massenproduktion gewachsen zu sein. Die modularen Architekturen dieser Systeme bieten Herstellern eine leistungsfähige Testplattform, die veränderten Testanforderungen angepasst werden kann. Der Trend in Richtung erhöhter Pinzahl bei SoCs sowie die Notwendigkeit nach ‚multisite‘-Test erzeugt im ATE-Bereich den Bedarf an Testköpfen mit 1024 Pins und mehr. Heute führt die Kombination von Hochgeschwindigkeit und hoher Pinzahl zu ATEs mit sehr hohen Leistungsanforderungen und dazugehörigen themischen Lasten, die flüssigkeitsgekühlte Subsysteme erfordern, um nominale Betriebsbedingungen beizubehalten. Dennoch ermöglichen Fortschritte im ther-

mischen Design und der Anwendung von Hochgeschwindigkeits-CMOS mit niedriger Verlustleistung die Verwendung luftgekühlter Methoden, eine dramatische Reduzierung der ATE Komplexität, des Gewichts und der Service-Anforderungen – daraus resultieren niedrigere Kosten für Anschaffung und Betrieb.

Die effiziente Testentwicklungsumgebung spielt eine entscheidende Rolle bei der Verkürzung des Zeitraums zur Serienproduktion. Die Testprogrammmentwicklungsumgebung bietet typischerweise umfangreiche Entwicklungshilfen, um mit C und anderen Sprachen kundenspezifische Testroutinen zu schaffen. Die innovative ATE-Entwicklungsumgebung fördert weiter hohe Produktivität durch grafische Anwenderschnittstellen und Templatebasierte Programmiermethoden, die die Ingenieure Testroutinen austauschen und wieder verwenden lassen.

Hier bauen Ingenieure auf existierende Testprogrammvorlagen, die Drag-and-drop-Schnittstellen verwenden, um existierende Testroutinen an spezifischen Testanwendungen anzufassen. Einher mit den früher beschriebenen Entwicklungshilfen wie der Zyklisierungssoftware und virtuellen Testfähigkeiten spart diese Art vorlagenbasierter Methoden Wochen der Testentwicklungszeit – besonders wichtig in einem SoC-Markt, in dem sich innerhalb weniger Monate Möglichkeiten auf- und verschwinden können.

Mit dem Aufschwung der Industrie werden die Hersteller kritisch die Fähigkeit betrachten, maximalen Ertrag aus existierenden Anlagen zu erzielen. Selbst wenn hochproduktive Entwicklungsumgebungen helfen, die Durchlaufleistung zu maximieren, werden sich die Hersteller zunehmend auf die Kompatibilität der Geräte im Bereich der Produktionstester konzentrieren. Mit reeller Plattformkompatibilität über Generationen von Plattformen hinweg können die Hersteller Testprogramme und Docking-Mechanik aller Testsysteme austauschen. Folglich werden Hersteller effizienter auf sich ändernde Produktionsanforderungen antworten können, indem sie die Tests auf die kosteneffektivste Plattform verlagern, egal ob es sich um ein System handelt, das auf dem neuesten Stand der Technik ist, oder um einen Tester einer älteren Generation.

### Flexible Design-to-Production-Strategien

Angesichts sich ändernder wirtschaftlicher Anforderungen und daraus entstehender technischer Anforderungen werden die führenden SoC-Hersteller stärker auf flexible Design to Production-Strategien vertrauen, die den Fokus zunehmend auf die Testergebnisse richten – lange bevor komplexes Silizium zur Verfügung steht. Durch paralleles Vor-

antreiben von ‚engineering test development‘ und ‚production test development‘ kann sich jede Gruppe auf ihre Kernziele konzentrieren: Die Designingenieure können sich besser darauf konzentrieren optimale Designs an die Produktion zu liefern, während sich Testingenieure auf die Erstellung von effizienten Testprogrammen fokussieren. Wenn ein Design für die Serienproduktion reif ist, können Hersteller die Flexibilität der stark konfigurierten SoC-Testplattformen wirksam einsetzen, um unterschiedliche Produktmixe mit derselben Plattform zu bearbeiten – und kosteneffektive ‚field upgrades‘ dazu verwenden, neue Produkttypen anzusteuern. Für die Produktion selbst statten die konfigurierbaren SoC-Plattformen die Hersteller so aus, dass sie den aktuellen Anforderungen begegnen und auf neue Nachfrage mit der nötigen Flexibilität und Anpassungsfähigkeit antworten. Durch die Kombination von hochentwickelten Testsystemen und Software mit neuen Entwicklungsabläufen für Entwicklungstests und Produktionstests können Hersteller die Testkosten insgesamt senken und trotz entstehender Testanforderungen die Liefermenge komplexer Bausteine beschleunigen.

Beitrag als PDF im Internet:

[www.duv24.net](http://www.duv24.net)

more @ click TK4C0401



## LESETIPP

? **Sie möchten sich per Internet eine kostenfreie Leseprobe der Jahresausgabe 2005 des TEST KOMPENDIUMs sichern?**

**Unter [www.duv24.net](http://www.duv24.net) können Sie sich im Internet schnell und einfach für die kostenfreie Leseprobe des TEST KOMPENDIUMs 2005 vormerken.**

Messen • Prüfen • Verifizieren

publish industry  
TECHNIK KOMMUNIZIEREN

Gollierstraße 23 · 80339 München, Germany · Fon +49/89/500383-0 · Fax +49/89/500383-10 · [info@publish-industry.net](mailto:info@publish-industry.net) · [www.publish-industry.net](http://www.publish-industry.net)